

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-236781

(P2001-236781A)

(43)公開日 平成13年8月31日(2001.8.31)

(51)Int.Cl.⁷

識別記号

F I

テームコード(参考)

G 1 1 C 11/15

G 1 1 C 11/15

11/14

11/14

A

H 0 1 L 27/105

H 0 1 L 43/08

Z

43/08

27/10

4 4 7

審査請求 未請求 請求項の数10 O L (全 24 頁)

(21)出願番号 特願2000-344274(P2000-344274)

(22)出願日 平成12年11月10日(2000. 11. 10)

(31)優先権主張番号 特願平11-357469

(32)優先日 平成11年12月16日(1999. 12. 16)

(33)優先権主張国 日本 (J P)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 中島 健太郎

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72)発明者 猪俣 浩一郎

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

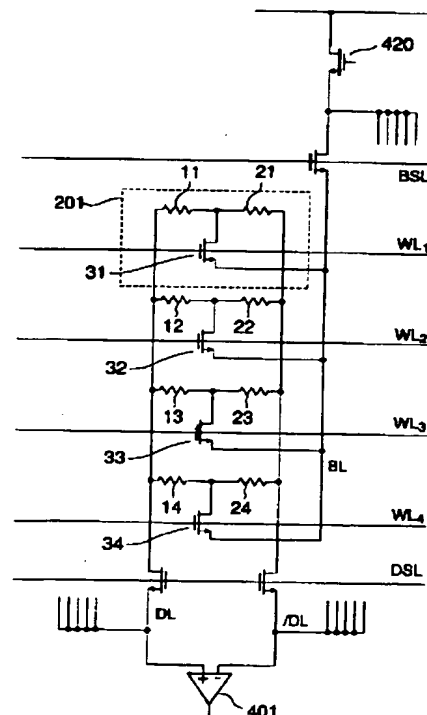
最終頁に続く

(54)【発明の名称】 磁気メモリ装置

(57)【要約】

【課題】 読み出し時のセル出力電圧を大きくすることができ、且つ読み出し時の消費電力の増大を招くことなく信号-雑音比を改善することができ、低消費電力と高速読み出し性を実現する。

【解決手段】 磁化方向が固定された固着層と外部磁界によって磁化方向が変化する記録層を積層し、二重以上のトンネル接合を構成したTMR素子を複数個備えた磁気メモリ装置であって、情報の記録単位であるメモリセル201は、抵抗値、磁気抵抗変化率が等しい二つのTMR素子11、21から構成され、TMR素子11、21の積層方向の一端は別のデータ線DL、/DLに接続され、他端は同一の選択トランジスタ31を介して同一のビット線BLに接続されている。情報の記録はTMR素子11、21の記録層の磁化方向が常に反平行に保たれるように行い、情報の読み出しはデータ線DL、/DLに流れる電流差を検出して行う。



【特許請求の範囲】

【請求項 1】磁化方向が固定された固着層と、外部磁界によって磁化方向が変化する記録層とを積層し、単一若しくは二重以上のトンネル接合を構成したトンネル接合部を複数個備えた磁気メモリ装置であって、

情報の記録単位であるメモリセルは第 1 及び第 2 のトンネル接合部を含み、第 1 のトンネル接合部の積層方向の一端と第 2 のトンネル接合部の積層方向の一端はそれぞれ別のデータ線に接続され、第 1 のトンネル接合部の積層方向の他端と第 2 のトンネル接合部の積層方向の他端は同一のセル選択用半導体素子を介してビット線に接続されていることを特徴とする磁気メモリ装置。

【請求項 2】第 1 のトンネル接合部の積層方向一端側には第 1 の書き込み線が配置され、第 2 のトンネル接合部の積層方向一端側には第 2 の書き込み線が配置され、第 1 のトンネル接合部の積層方向一端側又は他端側で、且つ第 2 のトンネル接合部の積層方向一端側又は他端側には共通の第 3 の書き込み線が配置され、第 1 の書き込み線を流れる電流方向と第 2 の書き込み線を流れる電流方向とは互いに逆方向となるように構成されていることを特徴とする請求項 1 記載の磁気メモリ装置。

【請求項 3】第 1 のトンネル接合部と第 2 のトンネル接合部とは同一平面内に配置され、第 1 の書き込み線と第 2 の書き込み線とは同一平面内に平行に配置され、第 3 の書き込み線と第 1 及び第 2 の書き込み線とは別の平面内にあり、第 1 及び第 2 のトンネル接合部近傍において交差するように配置されていることを特徴とする請求項 2 記載の磁気メモリ装置。

【請求項 4】第 1 のトンネル接合部と第 2 のトンネル接合部とは上下方向に配置され、第 1 の書き込み線と第 2 の書き込み線とは異なる平面内に上下方向に平行に配置され、第 3 の書き込み線と第 1 及び第 2 の書き込み線とは別の平面内にあり、第 1 及び第 2 のトンネル接合部近傍において交差するように配置されていることを特徴とする請求項 2 記載の磁気メモリ装置。

【請求項 5】第 1、第 2 のトンネル接合部の抵抗値及び磁気抵抗変化率が略等しく、両方の磁化方向が常に反平行となるように記録層の書き込みがなされることを特徴とする請求項 1 記載の磁気メモリ装置。

【請求項 6】情報の読み出しが、第 1 のトンネル接合部に接続された第 1 のデータ線及び第 2 のトンネル接合部に接続された第 2 のデータ線と前記ビット線との間に電位差を与えたときに、第 1、第 2 のデータ線に流れる電流量の大小を比較することでなされることを特徴とする請求項 1 記載の磁気メモリ装置。

【請求項 7】情報の読み出しが、第 1 のトンネル接合部に接続された第 1 のデータ線と第 2 のトンネル接合部に接続された第 2 のデータ線との間に電位差を与えたときに、前記ビット線に現れる電圧の参照電位に対する大小を比較することでなされることを特徴とする請求項 1 記

載の磁気メモリ装置。

【請求項 8】磁化方向が固定された固着層と、外部磁界によって磁化方向が変化する記録層とを積層し、単一若しくは二重以上のトンネル接合を構成したトンネル接合部を複数個備えた磁気メモリセルアレイからなる磁気メモリ装置であって、

前記磁気メモリセルアレイは複数のサブセルアレイからなり、

各々のサブセルアレイは、平行配置された第 1、第 2 のデータ線と、これらのデータ線に交叉する複数のワード線と、前記データ線に交叉する複数のビット線と、複数の磁気メモリセルとからなり、

前記磁気メモリセルは、第 1 及び第 2 のトンネル接合部を含み、第 1 のトンネル接合部の積層方向の一端は第 1 のデータ線に接続され、第 2 のトンネル接合部の積層方向の一端は第 2 のデータ線に接続され、第 1 のトンネル接合部の積層方向の他端と第 2 のトンネル接合部の積層方向の他端は同一のセル選択用半導体素子を介してビット線に接続され、かつ同一サブセルアレイ内の磁気メモリセルは異なるビット線に接続されていることを特徴とする磁気メモリ装置。

【請求項 9】磁化方向が固定された固着層と、外部磁界によって磁化方向が変化する記録層とを積層し、単一若しくは二重以上のトンネル接合を構成したトンネル接合部を複数個備えた磁気メモリセルアレイからなる磁気メモリ装置であって、

前記磁気メモリセルアレイは複数のサブセルアレイからなり、

各々のサブセルアレイは、平行配置された第 1、第 2 のデータ線と、これらのデータ線に交叉する複数のワード線と、前記データ線に平行に走行するビット線と、複数の磁気メモリセルとからなり、

前記磁気メモリセルは、第 1 及び第 2 のトンネル接合部を含み、第 1 のトンネル接合部の積層方向の一端は第 1 のデータ線に接続され、第 2 のトンネル接合部の積層方向の一端は第 2 のデータ線に接続され、第 1 のトンネル接合部の積層方向の他端と第 2 のトンネル接合部の積層方向の他端は同一のセル選択用半導体素子を介してビット線に接続され、かつ同一サブセルアレイ内の磁気メモリセルは同一のビット線に接続されていることを特徴とする磁気メモリ装置。

【請求項 10】磁化方向が固定された固着層と、外部磁界によって磁化方向が変化する記録層とを積層し、単一若しくは二重以上のトンネル接合を構成したトンネル接合部を複数個備えた磁気メモリセルアレイからなる磁気メモリ装置であって、

前記磁気メモリセルアレイは複数のサブセルアレイからなり、

各々のサブセルアレイは、平行配置された第 1、第 2 のサブデータ線と、これらのサブデータ線に交叉する複数の

のワード線と、前記サブデータ線と平行に走行するサブビット線と、複数の磁気メモリセルとからなり、前記磁気メモリセルは、第1及び第2のトンネル接合部を含み、第1のトンネル接合部の積層方向の一端は第1のサブデータ線に接続され、第2のトンネル接合部の積層方向の一端は第2のサブデータ線に接続され、第1のトンネル接合部の積層方向の他端と第2のトンネル接合部の積層方向の他端は同一のセル選択用半導体素子を介して同一のサブビット線に接続されてなり、第1、第2のサブデータ線はデータ線選択トランジスタを介してそれぞれ第1、第2のデータ線と接続され、前記サブビット線はビット線選択トランジスタを介してそれぞれビット線に接続されていることを特徴とする磁気メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、強磁性体を用いた情報再生技術に係わり、特に強磁性トンネル接合を利用した磁気メモリ装置に関する。

【0002】

【従来の技術】磁気ランダムアクセスメモリ（以下、MRAMと略記）とは、情報の記録担体として強磁性体の磁化方向を利用して、記録情報を随時、書き換え、保持、読み出すことができる固体メモリの総称である。MRAMでは、メモリセルを構成する強磁性体の磁化方向が、ある基準方向に対して平行か反平行であるかを2進の情報“1”、“0”に対応させて情報を記録する。

【0003】記録情報の書き込みは、各セルの強磁性体の磁化方向を、クロスストライプ状に配置された書き込み線に電流を流して生じる電流磁界により反転させることによって行われる。記録保持時の消費電力は原理的にゼロであり、また電源を切っても記録保持が行われる不揮発性メモリである。

【0004】記録情報の読み出しは、メモリセルの電気抵抗が、セルを構成する強磁性体の磁化方向とセンス電流との相対角、又は複数の強磁性層間の磁化の相対角によって変化する現象、いわゆる磁気抵抗効果を利用して行う。読み出し動作は、各セルを構成する強磁性体にセンス電流を流した状態で、強磁性体の磁化方向を書き込み時と同様に電流磁界で変化させ、その際の電気抵抗の変化を電圧変化として検出して行う。この際の磁界の大きさを強磁性の保磁力よりも小さく設定することにより、非破壊読み出しを実現することが可能である。

【0005】この種のMRAMは、従来の誘電体を用いた半導体メモリとその機能を比較すると、

(a) 完全な不揮発性であり、また 10^{15} 回以上の書き換え回数が可能であること。

(b) 非破壊読み出しが可能であり、リフレッシュ動作を必要としないため読み出しサイクルを短くすることが可能であること。

(c) 電荷蓄積型のメモリセルに比べ、放射線に対する耐性が強いこと。

【0006】等の多くの利点を有している。MRAMの単位面積当たりの集積度、書き込み、読み出し時間は、概ねDRAMと同程度となりうることが予想されている。従って、不揮発性という大きな特色を生かし、携帯型デジタルオーディオ機器用の外部記録装置、無線ICカード、更にはモバイルPC用の主記憶メモリへの応用が期待されている。

10 【0007】現在実用化の検討がなされている記録容量1Mb程度のMRAMでは、セル記録情報の読み出しに、巨大磁気抵抗効果（Giant Magneto-Resistance：以下、GMR効果と略記）を用いている。GMR効果を示す素子（以下、GMR素子と略記）を用いたMRAMセルとしては、Pseudo Spin-Valve 構造（例えば、IEEE Trans. Mag., 33, 3289(1997). 参照）、反強磁性層間結合を有する三層膜を用いたもの（例えば、IEEE Trans. Comp. Pac. Manu. Tech. Pt. A, 17, 373(1994). 参照）、また硬質磁性体をピン止め層に用いた Spin-Valve 構造を有するもの（例えば、IEEE Trans. Mag., 33, 3295(1997). 参照）が知られている。

20 【0008】現在GMR素子として多く用いられている非結合型NiFe/Cu/Cuの三層膜のGMR効果の値は、概ね6～8%程度である。例えば、前述の Pseudo Spin-Valve構造を用いたMRAMセルでは、記録情報読み出し時の磁化分布を制御することにより、実効的に5%以上の抵抗変化率を実現している。しかしながら、一般にGMR素子のシート抵抗は数100Ω/□程度である。従って、100Ω/□のシート抵抗と、5%の抵抗変化率を仮定した場合でも、10mAのセンス電流に対するセル読み出し信号は高々5mVに過ぎない。現在、実用化されているMOS型電界効果トランジスタでは、ソース・ドレイン間電流 I_s の値はチャネル幅Wとチャネル長Lとの比(W/L)に比例しており、 $W=3.3\mu\text{m}$ 、 $L=1\mu\text{m}$ での I_s の値は0.1mA程度である。従って、ここで用いた10mAというセンス電流の値は、サブミクロンルールの加工寸法で作成されるトランジスタに対しては非常に過大である。

30 【0009】この点を解決するため、GMR素子を用いたMRAMセルでは、複数のGMR素子を直列に接続し、データ線を構成する方法が用いられる（例えば、IEEE Trans. Comp. Pac. Manu. Tech. pt. A, 17, 373(1994). 参照）。しかしながら、メモリセルを直列接続した場合、読み出し時の消費電力効率が大きく低下する欠点を有している。

40 【0010】これらの点を解決するため、GMR効果に代わり、強磁性トンネル効果（Tunnel Magneto-Resistance：以下、TMR効果と略記）を応用しようとする提案がなされている。TMR効果を示す素子（以下、TMR素子と略記）は、主として強磁性層1/絶縁層/強磁

性層2からなる三層膜で構成され、電流は絶縁層をトンネルして流れる。トンネル抵抗値は、両強磁性金属層の磁化の相対角の余弦に比例して変化し、両磁化が反平行の場合に極大値をとる。

【0011】例えば、 $\text{NiFe}/\text{Co}/\text{Al}_2\text{O}_3/\text{Co}/\text{NiFe}$ のトンネル接合では、500e以下の低磁界において25%を越える抵抗変化率が見出されている(例えば、IEEE Trans. Mag., 33, 3553(1997). 参照)。TMR素子のセル抵抗値は、典型的には接合面積(μm^2)当たりで $10^2 \sim 10^6 \Omega$ である。従って、仮に1 μm^2 セルにおいて抵抗値10k Ω 、抵抗変化率25%を仮定すると、10 μA のセンス電流で25mVのセル読み出し信号が得られる。

【0012】TMR素子を用いたMRAMセルアレイでは、データ線上に複数のTMR素子を並列接続する。その詳細構造としては、

(1) 各々のTMR素子に選択用の半導体素子を配置したもの。

(2) データ線毎に選択トランジスタを配置したもの。

(3) 複数のTMR素子をマトリクス状に配置し、行データ線、列データ線毎に選択トランジスタを配置したもの(例えば、J. Appl. Phys., 81, 3758(1997)参照)。が提案されている。その中で(1)の方式が、セル出力電圧、読み出し時の消費電力効率の面で最も優れた特性を有している。しかしながら、(1)の方式のMRAMセルアレイでは、読み出し時にTMR素子に接続した半導体素子に電流を流す必要がある。半導体素子としては、MOS型電界効果トランジスタの他、電界効果トランジスタのゲート・ドレイン間を短絡したダイオード素子、またpn接合、ショットキー接合を用いたダイオード素子が用いられる。従って、それら半導体素子の特性にばらつきが生じている場合、それに起因した雑音が無視できない。

【0013】例えば、MOSトランジスタの場合、0.25 μm ルールではソース・ドレイン間の電圧降下は100mV以上に達する。即ち、半導体素子の特性に10%のばらつきが存在すると、それにより10mV以上の雑音が見れる。また、これに加え、データ線に結合した雑音、またセンスアンプの特性にばらつきによる雑音等、周辺回路に発生する雑音も考慮すると雑音レベルは>10mVにもなり、現在の20~30mV程度のセル出力電圧では数dB程度の信号・雑音比しか得られない。

【0014】信号・雑音比を向上させるため、従来のMRAMセルアレイでは、選択した単一のメモリセルの出力電圧Vを参照電圧 V_{REF} と比較し、その差分電圧 V_{sig} を差動増幅する方法が多く用いられている。これは、第1にはメモリセルが接続するデータ線対に生じる雑音を除去する目的、第2にはセンス線駆動用又はセル選択用半導体素子の特性にばらつきによるセル出力電圧Vのオフセットを除去するのが目的である。参照電圧V

V_{REF} の発生回路としては、半導体素子を用いた回路の他、ダミーセルが用いられている。しかしながらこの方法では、選択したメモリセルと参照電圧の発生回路とは、それぞれ別個のセル選択用半導体素子に接続されており、半導体素子の特性にばらつきによるセル出力電圧Vのオフセットを完全に除去することは不可能である。

【0015】さらに従来技術では、参照電圧 V_{REF} は、セル情報“1”、“0”に対応したセル出力電圧 V_F 、 V_{AF} の中間電圧とする場合が一般的である。例えば、電流センス、電圧検出の場合、センス電流値を I_s 、セルに用いられているTMR素子の抵抗値をR、磁気抵抗変化率をMRとすると、 V_F 、 V_{AF} は次のように、 $V_F = R(1 - \text{MR}/2) \times I_s$... (1)
 $V_{AF} = R(1 + \text{MR}/2) \times I_s$... (2)と書ける。

【0016】参照電圧を V_F 、 V_{AF} の中間電圧とすると、センスアンプに入力する差分電圧は次のようになる。

$$\text{【0017】} \quad V_{\text{sig}} = R \times \text{MR} \times I_s / 2 \quad \dots (3)$$

分母の2は参照電圧 V_{REF} を中間電圧に設定しているためである。電圧センス、電流検出の場合、バイアス電圧を V_{bias} 、電流検出用の負荷抵抗を R_L とすると、同様に

$$V_F = V_{\text{bias}} \times R_L / R(1 - \text{MR}/2) \quad \dots (4)$$

$$V_{AF} = V_{\text{bias}} \times R_L / [R(1 + \text{MR}/2)] \quad \dots (5)$$

$$V_{\text{sig}} = V_{\text{bias}} \times R_L / R \times \text{MR} / 2 \quad \dots (6)$$

となる。但し、(6)式の導出過程で $\text{MR}^2 \ll 1$ であることを考慮した。

【0018】従って従来技術では、TMR素子の磁気抵抗変化率の半分しか利用することが出来ない。

【0019】これらの点を解決するために、例えば強磁性層1と強磁性層2とが強磁性又は反強磁性結合したTMR素子を用い、情報の読み出し時に電流磁界を併用する方法も考えられている(例えば、米国特許5,734,605号参照)。しかしながらこの方法では、読み出し時の消費電力が大きくなり、携帯型機器への応用には適さない。

【0020】また二つのTMR素子にそれぞれ選択用トランジスタを配置してメモリセルを構成した方法も開示されている(例えば、ISSCC 2000 Digest paper TA7.2参照)。この方法では、二つのTMR素子の記録層の磁化方向を常に反平行としたまま、書き込みを行う。即ち、常にどちらかの素子の磁化配列が反平行、他方が平行状態となる相補書き込みを用いている。この方法では、二つの素子からの出力を差動増幅することで、同相雑音を除去しS/Nを向上させている。しかしながら、1セルに二つの選択用トランジスタを用いているため、セル面積が増大し、集積度が低下するという問題を有している。

【0021】

【発明が解決しようとする課題】上述のように、TMR素子をメモリセルに応用することにより、読み出し時のセンス電流の低減とセル出力信号の増大を同時に実現することができ、従来用いられているGMR効果を用いたMRAMに比べより高密度のMRAMを提供することが可能である。しかしながら、TMR素子をメモリセルに用いた場合でも、セル出力電圧は数10mV程度であり、センス線駆動用又はセル選択用半導体素子の特性ばらつきに起因する雑音、またデータ線、周辺回路からの雑音の大きさを考えると、現状では十分な信号雑音比は得られていない。信号雑音比を改善するために、電流磁界を併用する方法も考案されているが、読み出し時の消費電力が増大するという欠点を有している。

【0022】本発明は、上記事情を考慮して成されたもので、その目的とするところは、読み出し時のセル出力電圧を大きくすることができ、且つ読み出し時の消費電力の増大を招くことなく信号雑音比を改善することができ、低消費電力と高速読み出し性を兼ね備えた磁気メモリ装置を提供することにある。

【0023】

【課題を解決するための手段】（構成）上記課題を解決するために本発明は次のような構成を採用している。

【0024】即ち本発明は、磁化方向が固定された固着層と、外部磁界によって磁化方向が変化する記録層とを積層し、単一若しくは二重以上のトンネル接合を構成したトンネル接合部を複数個備えた磁気メモリ装置であって、情報の記録単位であるメモリセルは第1及び第2のトンネル接合部を含み、第1のトンネル接合部の積層方向の一端と第2のトンネル接合部の積層方向の一端はそれぞれ別のデータ線に接続され、第1のトンネル接合部の積層方向の他端と第2のトンネル接合部の積層方向の他端は同一のセル選択用半導体素子を介してビット線に接続されていることを特徴とする。

【0025】また本発明は、磁化方向が固定された固着層と、外部磁界によって磁化方向が変化する記録層とを積層し、単一若しくは二重以上のトンネル接合を構成したトンネル接合部を複数個備えた磁気メモリセルアレイからなる磁気メモリ装置であって、前記磁気メモリセルアレイは複数のサブセルアレイからなり、各々のサブセルアレイは、平行配置された第1、第2のデータ線と、これらのデータ線に交叉する複数のワード線と、前記データ線に交叉する複数のビット線と、複数の磁気メモリセルとからなり、前記磁気メモリセルは、第1及び第2のトンネル接合部を含み、第1のトンネル接合部の積層方向の一端は第1のデータ線に接続され、第2のトンネル接合部の積層方向の一端は第2のデータ線に接続され、第1のトンネル接合部の積層方向の他端と第2のトンネル接合部の積層方向の他端は同一のセル選択用半導体素子を介してビット線に接続され、かつ同一サブセル

アレイ内の磁気メモリセルは異なるビット線に接続されていることを特徴とする。

【0026】また本発明は、磁化方向が固定された固着層と、外部磁界によって磁化方向が変化する記録層とを積層し、単一若しくは二重以上のトンネル接合を構成したトンネル接合部を複数個備えた磁気メモリセルアレイからなる磁気メモリ装置であって、前記磁気メモリセルアレイは複数のサブセルアレイからなり、各々のサブセルアレイは、平行配置された第1、第2のデータ線と、これらのデータ線に交叉する複数のワード線と、前記データ線に平行に走行するビット線と、複数の磁気メモリセルとからなり、前記磁気メモリセルは、第1及び第2のトンネル接合部を含み、第1のトンネル接合部の積層方向の一端は第1のデータ線に接続され、第2のトンネル接合部の積層方向の一端は第2のデータ線に接続され、第1のトンネル接合部の積層方向の他端と第2のトンネル接合部の積層方向の他端は同一のセル選択用半導体素子を介してビット線に接続され、かつ同一サブセルアレイ内の磁気メモリセルは同一のビット線に接続されていることを特徴とする。

【0027】また本発明は、磁化方向が固定された固着層と、外部磁界によって磁化方向が変化する記録層とを積層し、単一若しくは二重以上のトンネル接合を構成したトンネル接合部を複数個備えた磁気メモリセルアレイからなる磁気メモリ装置であって、前記磁気メモリセルアレイは複数のサブセルアレイからなり、各々のサブセルアレイは、平行配置された第1、第2のサブデータ線と、これらのサブデータ線に交叉する複数のワード線と、前記サブデータ線と平行に走行するサブビット線と、複数の磁気メモリセルとからなり、前記磁気メモリセルは、第1及び第2のトンネル接合部を含み、第1のトンネル接合部の積層方向の一端は第1のサブデータ線に接続され、第2のトンネル接合部の積層方向の一端は第2のサブデータ線に接続され、第1のトンネル接合部の積層方向の他端と第2のトンネル接合部の積層方向の他端は同一のセル選択用半導体素子を介して同一のサブビット線に接続されてなり、第1、第2のサブデータ線はデータ線選択トランジスタを介してそれぞれ第1、第2のデータ線と接続され、前記サブビット線はビット線選択トランジスタを介してそれぞれビット線に接続されていることを特徴とする。

【0028】ここで、本発明の望ましい実施形態としては次のものが挙げられる。

【0029】(1) 第1、第2のトンネル接合部の抵抗値及び磁気抵抗変化率が略等しく、両方の磁化方向が常に反平行となるように記録層の書き込みがなされること（相補書き込み）。

【0030】(2) 第1、第2のTMR素子の一端はそれぞれ別の第1のデータ線及び第2のデータ線に、もう一端は同一のセル選択用半導体素子を介してビット線に接

続されていること。

【0031】(3) 情報の読み出しが、第1、第2のデータ線とビット線との間に電位差を与えたときに、第1、第2のデータ線に流れる電流量の大きさを比較することでなされること。またこのとき、第1、第2のデータ線が等電位に保たれていること。

【0032】(4) 情報の読み出しが、第1、第2のデータ線に電位差を与えたときに、ビット線に現れる電圧の参照電位に対する大きさを比較することでなされること。

【0033】(5) 第1のTMR素子の積層方向一端側には第1の書き込み線が配置され、第2のTMR素子の積層方向一端側には第2の書き込み線が配置され、第1のTMR素子の積層方向一端側又は他端側で、且つ第2のTMR素子の積層方向一端側又は他端側には共通の第3の書き込み線が配置され、第1の書き込み線を通る電流方向と第2の書き込み線を通る電流方向とは互いに逆方向となるように構成されていること。

【0034】(6) 第1のTMR素子と第2のTMR素子とは同一平面内に配置され、第1の書き込み線と第2の書き込み線は同一平面内に平行に配置され、第3の書き込み線と第1及び第2の書き込み線とは別の平面内にあり、第1及び第2のTMR素子近傍において交叉するように配置されていること。第1、第2の書き込み線はメモリセルアレイ領域の外側で、各々一端が接続されていること。

【0035】(7) 第1のTMR素子と第2のTMR素子とは上下方向に配置され、第1の書き込み線と第2の書き込み線は上下方向に平行に配置され、第3の書き込み線と第1及び第2の書き込み線とは異なる平面内に上下方向に平行に配置され、第3の書き込み線と第1及び第2の書き込み線とは別の平面内にあり、第1及び第2のTMR素子近傍において交叉するように配置されていること。第1、第2の書き込み線はメモリセルアレイ領域の外側で、各々一端が接続されていること。

【0036】(8) セル選択用半導体素子は、MOS型電界効果トランジスタ、電界効果トランジスタのゲート・ドレイン間を短絡したダイオード素子、又はpn接合、ショットキー接合を用いた接合型ダイオード素子であること。

【0037】(9) 一つのサブセルアレイに含まれるメモリセルの個数が1000以下であること。

【0038】(作用) 上記の構成の磁気メモリ装置において、メモリセルに対する記憶情報の読み出し方法の第1は、読み出し時にセル選択用半導体素子を低インピーダンス状態に活性化させると共に、第1、第2のデータ線とビット線との間に電位差を与えたとき第1、第2のデータ線に流れる電流量の大きさを比較する。第1、第2のデータ線は等電位となるように制御する。これにより、第1のデータ線及び第2のデータ線には電位差と各々のTMR素子の抵抗値とで決まるセンス電流が流れ

る。TMR素子の抵抗値はTMR素子の固着層と記憶層との磁化の相対角が平行か、反平行であるかによって異なる。

【0039】本発明の磁気メモリ装置では、セルを構成する二つのTMR素子の抵抗値、磁気抵抗変化率は等しく、且つそれぞれの記憶層の磁化方向は互いに反平行である。従って、電位差を V_{bias} 、第1のTMR素子の抵抗値を $R(1-MR/2)$ 、第2のTMR素子の抵抗値を $R(1+MR/2)$ とすると、第1、第2のデータ線に流れるセンス電流の値 I_1 、 I_2 は、

$$I_1 = V_{bias} / R(1-MR/2) \quad \dots (7)$$

$$I_2 = V_{bias} / R(1+MR/2) \quad \dots (8)$$

となる。

【0040】即ち、センス電流の差分 I_{sig} は $I_{sig} = V/R \times MR$ となり、従来技術に比べ大きな差分信号を得ることができる。メモリセルは電流駆動型素子であるため、TMR素子に直列に接続したセル選択用半導体素子の導通時の抵抗にばらつきが生じると、結果として出力信号にばらつきが生じる。本発明では、第1のTMR素子と第2のTMR素子とは同一のセル選択用半導体素子を共有するため、半導体素子の特性ばらつきに起因するばらつきを完全に除去することが可能である。これは、従来技術にない大きな利点である。

【0041】また、読み出し方法の第2は、読み出し時に、セル選択用半導体素子を低インピーダンス状態に活性化させると共に、第1、第2のデータ線間に電位差を与えたとき、ビット線に現れる電圧の参照電位に対する大きさを比較する。第1、第2のデータ線間の電位差を V 、第1のTMR素子の抵抗値を $R(1-MR/2)$ 、第2のTMR素子の抵抗値を $R(1+MR/2)$ とすると、第2のデータ線とビット線間の電位差は、 $V = V_{bias} / 2 \times (1+MR/2)$ となる。

【0042】従って、参照電圧 V_{REF} を $V_{REF} = V_{bias} / 2$

に設定すると、差分電圧は

$$V_{sig} = V_{bias} / 2 \times MR/2 \quad \dots (11)$$

となる。

【0043】本読み出し法では、参照電圧を用いているため第1の読み出し法に比べ差分電圧の変化量が少なくなるが、(1) TMR素子に流れる電流値に全く依存しない。即ち、メモリセルアレイ中のメモリセル数が変化して、DL/DL間のインピーダンスが変化した場合にも、出力への影響が生じない、(2) バイアス電圧を二つのTMR素子で分割するため、MRのバイアス電圧依存性を軽減できる、(3) ビット線には殆ど電流が流れないため、選択用半導体素子の特性ばらつきを除去できる、といった大きな利点を有する。

【0044】一方、本発明の磁気メモリ装置において、メモリセルに対する記憶情報の書き込みは、第1、2の

書き込み線と第3の書き込み線に電流を流して行われる。この際、第1、2の書き込み線と第3の書き込み線の交叉領域でのみ電流磁界の値がTMR素子の反転磁界を上回るように設定すれば、書き込み時におけるセル選択が実現できる。

【0045】本発明の磁気メモリ装置では、第1のTMR素子に配置された第1の書き込み線を通る電流方向と、第2のTMR素子に配置された第2の書き込み線を通る電流方向とは互いに逆方向である。即ち、本発明の磁気メモリ装置では、書き込み動作においてメモリセルの構成する第1及び第2のTMR素子の記憶層の磁化方向は常に反平行となる。情報“1”、“0”の区別は、例えば第1のTMR素子を基準として、素子の固着層と記憶層との磁化の相対角が平行か、反平行であるかによって行う。

【0046】

【発明の実施の形態】以下、本発明の詳細を図示の実施形態によって説明する。

【0047】(第1の実施形態)図1は、本発明の第1の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示した図である。

【0048】図中破線で囲まれた領域がメモリセル201に対応し、このメモリセル201は2つのTMR素子と選択トランジスタから構成されている。即ち、1段目のメモリセルはTMR素子11、21と選択トランジスタ31から構成され、2段目のメモリセルはTMR素子12、22と選択トランジスタ32から構成され、3段目のメモリセルはTMR素子13、23と選択トランジスタ33から構成され、4段目のメモリセルはTMR素子14、24と選択トランジスタ34から構成されている。図では後述するデータ線方向に対してメモリセルを4個配列しているが、この配列数が適宜変更可能であるのは勿論である。

【0049】1段目のメモリセル201において、2つのTMR素子11の一端はデータ線DLに接続され、TMR素子21の一端はデータ線/DLに接続されている。TMR素子11、21の各他端は、セル選択トランジスタ31を介して同一のビット線BLに接続されている。2段目以降のメモリセルにおいても同様に、TMR素子の一端はデータ線DL、/DLにそれぞれ接続され、他端はセル選択トランジスタ(32~34)を介して同一のビット線BLに接続されている。

【0050】選択トランジスタ31~34には、それぞれ独立したワード線WL1~WL4が配置されている。後述のように隣接するメモリセルアレイとは、選択トランジスタのドレイン領域、ビット線を共有している。データ線DL、/DLは、共通のワード線DSLを持つ選択トランジスタを介して電流検出型差動アンプ401に接続されている。ビット線BLには、ワード線BSLが接続した選択トランジスタを介してバイアス電圧クラン

プ回路420が接続されている。

【0051】次に、メモリセル201を例にとってこの回路の動作を説明する。

【0052】今、TMR素子11の記録層と固着層の磁化配列が平行状態、TMR素子21が反平行状態である場合を考える(記録情報“1”)。初期状態では、WL1、BSL、DSLの電位は0である。次いで、DSL、BSLの電位をそれぞれ V_{DD} として、DLにゼロ電位を、BLに V_{bias} を与えた状態で、WL1を V_{DD} として選択トランジスタ31を導通させる。TMR素子11の抵抗値を $R(1-MR/2)$ 、TMR素子21の抵抗値を $R(1+MR/2)$ とすると、DL、/DLに流れるセンス電流の値 I_1 、 I_2 は、

$$I_1 = V_{bias} / R(1-MR/2) \quad \dots (12)$$

$$I_2 = V_{bias} / R(1+MR/2) \quad \dots (13)$$

となる。

【0053】即ち、 $I_1 > I_2$ であり、その差は $I_{diff} = V/R \times M$ である。記録情報“0”、即ちTMR素子11の磁化配列が反平行状態、TMR素子21が平行状態である場合には、 I_1 、 I_2 は次のようになる。

$$I_1 = V_{bias} / R(1+MR/2) \quad \dots (14)$$

$$I_2 = V_{bias} / R(1-MR/2) \quad \dots (15)$$

即ち、 $I_1 < I_2$ であり、その差は記録情報“1”の場合と等しい。従って、電流検出型差動アンプ401により I_1 、 I_2 の大小を比較することで情報の読み出しが可能となる。

【0054】図2は、本実施形態でのデータ線DL、/DLに流れる電流値 I_1 、 I_2 の変化を時間変化として示したものである。ここで、バイアス電圧 V_{bias} は400mV、TMR素子11、21の抵抗値は所定バイアスで平行状態で40k Ω 、反平行状態で60k Ω である。WL1の電位を5ns~10nsの期間 V_{DD} に保持した。上述のように素子抵抗値に応じてDL、/DLに異なる値のセンス電流が流れていることが分かる。若干時間遅れが生じているのは、データ線浮遊容量の影響である。

【0055】図3には、複数個のメモリセルの記録情報を連続的に読み出した際の波形を示した。本実施形態では、低インピーダンスのデータ線DL、/DLを電流駆動するため、図2に示したようにデータ線浮遊容量による遅延は0.5ns以下と極めて小さい。このような高速読み出し性は、本発明の大きな利点である。

【0056】本実施形態では、選択セル以外の素子は、データ線DL、/DLを短絡する抵抗として機能し、その抵抗値は記憶情報に関係なく2Rである。例えば、データ線DL、/DLにN+1個のセルが接続している場合を考えると、その等価回路は図4のようになる。この回路では、データ線DL、/DL間が2R/Nの抵抗で短絡されている。選択セルからデータ線DL、/DLにセンス電流が流れている状態では、データ線DL、/D

Lの配線抵抗RDにより、DL、/DLには僅かに電位差が生じ、それにより短絡抵抗RDに電流が流れ結果として、DL、/DLの電流差を打ち消す方向に働く。

【0057】図5は、図4の等価回路を用いたシュミレーションの結果である。ここでは、 $R=250\text{ k}\Omega$ を仮定した。短絡抵抗 R_{dummy} の大きさが $2.5\text{ k}\Omega$ 、即ち接続セル数 $N=100$ では電流差の減少は10%以内であり、実用上問題がない。接続セル数 $N=1000$ では電流差の減少は50%を超え、相補読み出しにより出力信号が2倍に増大するという本発明の利点が失われる。従って本実施形態では、セルブロック当たりのメモリセル数は100以下とすることが好ましく、多くても1000以下とする必要がある。

【0058】図6は、本実施形態の磁気メモリアレイを構成するTMR素子と書き込み線の配置を模式的に示した図である。図6において、10~14及び20~24はTMR素子、51、52は書き込み線である。ここでは理解を容易とするため、TMR素子と書き込み線以外の構造は省略してある。図中の破線で囲まれた部分が情報の記録単位であるメモリセル201の一つの領域を示している。なお図では、書き込み線51の配列方向に沿ってメモリセルを5個配列しているが、この配列個数は適宜変更可能である。

【0059】メモリセル201には、二つのTMR素子（第1のTMR素子11と第2のTMR素子21）が含まれており、それぞれの素子領域において、書き込み線51と書き込み線52とが垂直に交差している。各々のTMR素子11、21は、後述のように単一乃至は二重以上の多重トンネル接合を構成しており、磁化方向が固定された固着層と、外部磁界によってその磁化方向が変化する記憶層とを有している。また、その抵抗値、磁気抵抗変化率及び記録層の反転磁界の大きさは、両素子で等しくなるように製造されている。書き込み線51はU字型に折り返した形状を有しており、TMR素子11とTMR素子21とでは電流の走行方向が逆向きとなるように配置されている。

【0060】メモリセル201への記録情報の書き込みは、書き込み線51と書き込み線52を用いて行う。今、仮に書き込み線51の一端511の電位を他端512に比べ高く設定すると、書き込み線51には図示の矢印のように書き込み電流が流れる。書き込み電流の方向は、TMR素子21に対しては紙面右上、TMR素子11に対しては紙面左下である。この書き込み電流により、書き込み線の周囲には図中破線の矢印で示す方向の電流磁界が生じるが、その向きは、TMR素子21に対しては紙面左、TMR素子11に対しては紙面右である。従って、この電流磁界により、TMR素子11とTMR素子21の磁化方向が常に逆向きとなるような記録情報の書き込みが実現できる。

【0061】情報“1”、“0”の区別は、例えばTM 50

R素子11の記録層の磁化と固着層の磁化の相対角が平行か反平行であるかで行えばよい。また、情報“1”、“0”の書き換えは、書き込み線51に流す書き込み電流の方向を反転することで容易に行われる。なお、書き込み線51において、端子511につながる方を第1の書き込み線51aとし、端子512につながる方を第2の書き込み線51bとする。

【0062】書き込み時にセル選択を行うためには、書き込み線51の他に、書き込み線52（第3の書き込み線）を併用する。即ち、図示のように書き込み線52に紙面左上方向の書き込み電流を流すと、書き込み線52の周囲には図中破線の矢印で示す方向の電流磁界が生じる。書き込み線52からの電流磁界の方向は、TMR素子11、21で同方向であり、書き込み線51からの電流磁界方向に垂直である。従って、書き込み線51からの電流磁界の値がTMR素子11、21の反転磁界に比べ小さく、かつ書き込み線51、52からの合成の電流磁界の値が反転磁界に比べ大きくなるように、それぞれの書き込み線51、52に流す書き込み電流の値を設定すれば、セル選択書き込みが実現できる。

【0063】なお、上記のように直交する電流磁界を用いてセル書き込みを行う際には、TMR素子の記録層の磁化容易軸を書き込み線51からの電流磁界方向と平行にすることが好ましい。また、書き込み線51、52はTMR素子近傍において必ずしも直交する必要はなく、任意の角度であってもよい。

【0064】図7は、図1に対応したメモリセル201の平面構造を示している。本実施形態のメモリセルは、一つの構造中に二つのTMR素子を有し、TMR素子はSi基板70上に作製されるメモリセルの多層構造において、半導体回路部に形成される。

【0065】図7において、71はセル選択トランジスタのドレイン領域、72はセル選択トランジスタのソース領域、41、42はデータ線、30はセル選択トランジスタのワード線、44はTMR素子11、21の下層に形成されたセルノード、45はセルノード44とセル選択トランジスタのドレイン領域とのコンタクトである。セル選択トランジスタのソース領域72は、図中では省略されている隣接するメモリセルアレイのメモリセルと共有されており、ビット線に接続されている。素子分離領域を考慮すると、1メモリセルの寸法は $20\sim 25\lambda^2$ となる。ここで、 λ はデータ線間隔である。

【0066】本実施形態では、二つのTMR素子で一つのトランジスタを共有するため、二つのTMR素子が各々トランジスタを持つ差動増幅法に比べて、セル面積を半減することが可能である。

【0067】図8は、図7のメモリセル平面構造における矢視A-A'断面(a)及び矢視B-B'断面(b)を示す模式図である。Si基板70上に形成される半導体回路部と各金属層との間には、 SiO_2 等の層間絶縁膜

60により分離されている。TMR素子11、21は、記録層101/絶縁層102/固着層103とからなる積層膜で構成されている。TMR素子11、21は、共通のセルノード44上に形成されている。セルノード44は、セル選択トランジスタとTMR素子11、21との電気的なコンタクトを得るために形成されており、その材料としてはW、Al、Ta等の非磁性導電性膜が用いられる。

【0068】なお、本実施形態では、書き込み線51、52とデータ線41、42を分離した構造を示しているが、図9に示すように両者を共有し、データ線41、42に書き込み線51の機能を付与させることも可能である。この場合、図8に示す書き込み線51に対応するメタル配線層が不要となる。またこの場合は、書き込み動作時にデータ線41、42がその一端において短絡されることが必要となるが、この短絡機構は従来公知であるところの回路技術を用いて容易に構成が可能である。データ線41、42は多数個TMR素子で互いが接続されているが、TMR素子の接合抵抗はデータ線の配線抵抗に比べ十分大きいので、複数個接続した場合にも、書き込み時にTMR素子を経由して流れる書き込み電流の大きさは無視することが可能である。

【0069】セルノード44の下部及びTMR素子のコンタクト部位に、金属の相互拡散を防止するための、例えばTiN、Ta₂N等の導電性金属窒化物からなるバリアメタルを設けることは好ましい形態である。また、固着層103の結晶性、結晶配向を制御するために、Au、Pt、Ta、Ti、Cr等のシード層を設けてもよい。

【0070】固着層103は、Fe、Co、Ni若しくはそれらの合金の薄膜からなる。固着層の磁化方向は、情報書き込み、読み出し時における基準方位を定める。従って、その反転磁界は、後述の記録層の反転磁界に比べて十分に大きいことが求められる。この目的では、例えばMn合金等の金属反強磁性体とFe、Co、Ni若しくはそれらの合金の積層膜、又は層間反強磁性結合したFe、Co、Ni若しくはそれらの合金とCu、Ru等の非磁性金属との交互積層膜を用いることが好ましい。

【0071】絶縁層102はAl酸化膜からなり、固着層103上にアルミナを直接スパッタして形成される。具体的には、2nm以下のAl膜を形成後、該Al膜を酸素プラズマにより酸化して形成される。絶縁層102に用いられる材料には、2nm以下の極めて薄い膜厚で良好な絶縁特性を有することが求められる。その材料としては、上記アルミナスパッタ膜の他、例えばAlのプラズマ酸化膜、自然酸化膜又は直接成膜されたAl₂O₃膜等が利用可能である。また、絶縁体中に金属微粒子を分散させた構造、更には数nmの金属超薄膜を挟み込んだ構造も可能である。これらの複合構造を有する絶縁膜を

用いると、構造設計によりセル抵抗値を容易に制御することができ、実施上好ましい。

【0072】記録層101は、Fe、Co、Ni若しくはそれらの合金からなる薄膜からなる。情報の書き込み時における消費電力を低減するため、記録層の反転磁界はできるだけ小さい方が望ましい。好適な反転磁界の大きさは30～50Oeである。記録層の反転磁界を小さくする目的で、例えば電動電子のスピン偏極度の高いCoFe合金膜と軟磁気特性を有するNiFe合金膜とを積層した膜を用いるのは好ましい形態である。また、Fe、Co、Niとそれ以外の元素との合金、化合物を用いてもよい。

【0073】記録層101の上層には、W、Al、Cu等の非磁性導電性膜からなるデータ線41、42が配置されるが、これらとの相互拡散を防止するための、例えばTiN、Ta₂N等の導電性金属窒化物からなるバリアメタルをコンタクト部位に設けることは好ましい形態である。なお、TMR素子部以外の構成並びに製造法については、従来公知であるところの半導体素子製造技術を用いることができ、詳細な説明は省略する。

【0074】このように本実施形態では、2つのTMR素子（例えば11、21）から一つのメモリセル（例えば201）を構成し、平行配置された書き込み線51a、51bとこれに直交する書き込み線52との交差点にメモリセルをそれぞれ配置しているので、書き込み線51a、51bと書き込み線52に電流を流すことにより、任意のメモリセルに対して選択的に書き込みを行うことができる。

【0075】書き込み線51a、51bを流れる電流方向は互いに逆方向であり、書き込み動作において1つのメモリセル201を構成する2つのTMR素子11、21の記憶層101の磁化方向は常に反平行となることから、記憶情報の読み出しに際してTMR素子11、21の各出力の差分を取ることで、従来技術に比べ大きな差分電圧を得ることができる。具体的には、読み出し時にセル選択トランジスタ31を導通させると共に、第1、第2のデータ線DL、/DLとビット線BLとの間に電位差を与えたときDL、/DLに流れる電流I₁、I₂の大小を電流検出型差動アンプ401により比較することにより、記憶情報を読み出すことができる。

【0076】従って本実施形態によれば、読み出し時のセル出力電圧を大きくすることができ、且つ読み出し時の消費電力の増大を招くことなく信号-雑音比を改善することができ、低消費電力と高速読み出し性を兼ね備えることが可能となる。また、TMR素子11とTMR素子21とは同一のセル選択トランジスタ31を共有するため、トランジスタの特性ばらつきによるセル出力電圧のオフセットを完全に除去することも可能である。

【0077】（第2の実施形態）図10は、本発明の第2の実施形態に係わる磁気メモリセルアレイを構成する

TMR素子と書き込み線の配置を模式的に示した図である。

【0078】図10において、10～14及び20～24はTMR素子、51、52は書き込み線である。ここでは理解を簡単にするため、TMR素子と書き込み線以外の構造は省略してある。図中の破線で囲まれた部分が、情報の記録単位であるメモリセル201の領域を示している。

【0079】メモリセル201には、2つのTMR素子11と21とが含まれており、それぞれの素子領域において、書き込み線51と書き込み線52とが垂直に交差している。書き込み線51は上下方向にU字型に折り返した形状を有しており、TMR素子11とTMR素子21とでは電流の走行方向が逆向きとなるように配置されている。本実施形態では、第1の実施形態と異なり、TMR素子11、21と書き込み線51は膜面に垂直方向の同一平面内に配置される。

【0080】即ち、書き込み線51は、垂直方向に平行に配置された第1の書き込み線51aと第2の書き込み線51bからなり、各々の書き込み線51a、51bの一端はセル配置領域の外部で接続されている。書き込み線51aの下面にTMR素子10～14がそれぞれ配置され、書き込み線51bの上面にTMR素子20～24がそれぞれ配置され、TMR素子は10と20、11と21、12と22、13と23、14と24が垂直方向に対向配置されている。そして、例えばTMR素子11、21からなるメモリセル201に対しては、第1及び第2の書き込み線51a、51b間の中間位置に、書き込み線51a、51bに直交するように、第3の書き込み線52が配置されている。それ以外の構成、機能は第1の実施形態と同様であり、ここではその詳細な説明は省略する。

【0081】図11は図10に対応したメモリセル201の平面構造を示し、図12は図11に対応したメモリセルの矢視A-A'断面(a)及び矢視B-B'断面(b)を模式的に示している。

【0082】本実施形態では第1の実施形態とは異なり、共通のセルノード44、44'が上下2層に設けられ、上側のTMR素子11の下端にセルノード44が接続され、下側のTMR素子21の下端にセルノード44'が接続されている。そして、TMR素子11の記録層101の上層にはデータ線41が接続され、TMR素子21の記録層101'の上層にはデータ線42が接続されている。

【0083】このように本実施形態では、第1の実施形態と異なり、TMR素子11、21と書き込み線51、さらにデータ線41、42は膜面に垂直方向の同一平面内に配置される。それ以外の構成、機能は第1の実施形態と同様であり、第1の実施形態と同様の効果が得られる。また本実施形態では、2つのTMR素子11、21

が上下方向に配置されるため、1つのメモリセルの面積は第1の実施形態に比べ小さくなり、およそ10～12 λ^2 である。

【0084】(第3の実施形態)図13は、本発明の第3の実施形態の磁気メモリアレイを構成するTMR素子と書き込み線の配置を模式的に示した図である。

【0085】図13において、10～14及び20～24はTMR素子、51、52は書き込み線である。ここでは理解を簡単にするため、TMR素子と書き込み線以外の構造は省略してある。図10に示した第2の実施形態とは異なり、第3の書き込み線52が第1、第2の書き込み線51a、51bの間ではなく、第2の書き込み線52bの下を通っている。

【0086】図14は、第3の実施形態におけるメモリセルの断面構成を模式的に示した図である。本実施形態では第1、第2の実施形態とは異なり、共通のセルノード44の上側にTMR素子11が、下側にTMR素子21が形成されている。そして、TMR素子11の記録層101の上層にはデータ線41が接続され、TMR素子21の記録層101'の下層にはデータ線42が接続されている。

【0087】また本実施形態では、セルノード44が強磁性体からなり、これがTMR素子11とTMR素子21の共通する固着層としての機能を有することを特徴とする。即ち、TMR素子11は記録層101、絶縁層102、セルノード44から、TMR素子21は記録層101'、絶縁層102'、セルノード44からそれぞれ構成される。

【0088】このような構成をとることで本実施形態では、第2の実施形態に比べセルアレイの製造が容易になるだけでなく、TMR素子11とTMR素子21の特性ばらつきが小さくなるという利点を有する。なお、セルノード44はTMR素子11、21を構成する部分のみが強磁性体であればよく、それ以外の部分には非磁性体を用いても差し支えない。

【0089】本実施形態によれば、TMR素子及び書き込み配線が膜面方向に積層されているため、セル面積の大幅な低減が可能である。 λ はデータ線間隔としたとき、1メモリセルの寸法は10～15 λ^2 となり、第1の実施形態と比べ約半分のセル面積を実現できる。

【0090】(第4の実施形態)図15は、本発明の第4の実施形態に係わる磁気メモリアレイの電氣的な等価回路を示した図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0091】図中破線で囲まれた領域がメモリセル201に対応し、二つのTMR素子は、それぞれ独立したデータ線DL、DLにその一端が接続され、他端はセル選択トランジスタを介して同一のビット線BLに接続されている。選択トランジスタ31～34にはそれぞれ独立したワード線WL1～WL4が配置されているが、選

択トランジスタ31と32、及び33と34はそれぞれドレイン領域を共有している。データ線DL、/DLはワード線DSLを持つ選択トランジスタを介して電流検出型差動アンプ401に接続され、ビット線BLはワード線BSLに接続した選択用トランジスタを介してバイアス電圧クランプ回路420に接続されている。

【0092】本実施形態では、隣接セルが選択トランジスタのドレイン領域及びビット線を共有していることが特徴である。このように隣接セルがビット線を共有することで、ビット線本数を半分に削減できるという利点を有する。

【0093】(第5の実施形態)図16は、本発明の第5の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示した図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0094】図中破線で囲まれた領域がメモリセル201に対応し、各々のセルにおいてTMR素子は、それぞれデータ線DL、/DLにその一端が接続され、他端はセル選択トランジスタを介してそれぞれ別のビット線BL1、BL2に接続されている。選択トランジスタ31～34にはそれぞれ独立したワード線WL1～WL4が配置されているが、選択トランジスタ31と32、及び33と34はそれぞれドレイン領域を共有している。データ線DL、/DLは、共通のワード線DSLを持つ選択トランジスタを介して電流検出型差動アンプ401に接続されている。

【0095】ビット線BL1、BL2はデータ線DL、/DLと平行に走行するビット線CBL1、CBL2に接続されている。そして、CBL1、CBL2はメモリセルアレイ領域外で、それぞれ独立したワード線BSL1、BSL2を持つ選択用トランジスタを介してバイアス電圧クランプ回路420に接続されている。

【0096】本実施形態では、ビット線BLがデータ線DL、/DLと交叉して走行し、隣接メモリセルアレイで共有されていることが特徴である。そして、隣接メモリセルアレイがBLを共有し、最終的にDL、/DLと平行に走行する一本のCBLで接続する形態をとることにより、DL、/DLに重複して平行に走行する配線の本数を大きく削減することが可能となり、アレイ面積の一層の低減が可能となるという利点を有している。なお、BL、WLが平行に走行している場合、BL、WLを同時活性化することにより、行方向のメモリセルが一時に読み出される、いわゆるページモード読み出しが可能となる。

【0097】(第6の実施形態)図17は、本発明の第6の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示した図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0098】図中破線で囲まれた領域がメモリセル201に対応し、二つのTMR素子は、それぞれ独立したデ

ータ線DL1、/DLにその一端が接続され、他端はセル選択トランジスタを介して同一のビット線BL1に接続されている。また、このメモリセルとワード線方向に隣接するメモリセルは、二つのTMR素子の一端がデータ線DL2、/DLにそれぞれ接続され、他端がセル選択トランジスタを介して同一のビット線BL2に接続されている。即ち、ワード線方向に隣接するメモリセルで/DLを共有している。

【0099】選択トランジスタ31～34には、それぞれ独立したワード線WL1～WL4が配置されている。データ線DL1、/DLは、共通のワード線DSL1を持つ選択トランジスタを介して電流検出型差動アンプ401に接続されている。/DLは隣接メモリセルアレイと共有しているが、選択トランジスタは異なっており、DL2、/DLは共通のワード線DSL2を持つ選択トランジスタを介して電流検出型差動アンプ401に接続されている。ここで、DL1とDL2が選択トランジスタのワード線を共有化しないのは、DL2を通じた迷走電流を防ぐためである。

【0100】本実施形態では、隣接メモリセルアレイが、データ線/DLを共有していることが特徴である。このようにデータ線を共有することにより、アレイ面積の一層の低減が可能となるという利点を有している。

【0101】(第7の実施形態)図18は、本発明の第7の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示した図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0102】図中破線で囲まれた領域がメモリセル201に対応し、二つのTMR素子は、それぞれサブデータ線sDL、/sDLにその一端が接続されている。TMR素子の他端は、セル選択トランジスタを介して同一のサブビット線sBLに接続されている。選択トランジスタ31～34には、それぞれ独立したワード線WL1～WL4が配置されている。

【0103】サブデータ線sDL、/sDL及びサブビット線sBLは、共通のワード線SASLを持つ選択トランジスタを介して、それぞれデータ線DL、/DL、ビット線BLに接続されている。データ線DL、/DLは、共通のワード線DSLを持つ選択トランジスタを介して電流検出型差動アンプ401に接続されている。また、ビット線BLはメモリセルアレイ領域外で、ワード線BSLを持つ選択用トランジスタを介してバイアス電圧クランプ回路420に接続されている。

【0104】本実施形態では、メモリセルアレイがデータ線方向に分割されて、サブセルアレイを形成していることが特徴である。このような構成を用いることで、アレイ面積を極端に増大させることなく、セルアレイ中のメモリセルの個数を低減させることが可能となる。これにより、メモリセル個数の増大による出力信号低下の問題を回避することが可能となる。

【0105】(第8の実施形態)図19は、本発明の第8の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示した図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0106】図中破線で囲まれた領域がメモリセル201に対応し、二つのTMR素子は、それぞれサブデータ線sDL、/sDLにその一端が接続されている。TMR素子の他端は、セル選択トランジスタを介してビット線BLに接続されているが、データ線方向に配列された各々のメモリセルでそれぞれ独立したビット線BL1~BL4に接続されている。

【0107】選択トランジスタ31~34には、それぞれ独立したワード線WL1~WL4が配置されている。サブデータ線sDL、/sDLは、共通のワード線SASLを持つ選択トランジスタを介して、データ線DL、/DLに接続されている。データ線DL、/DLは、共通のワード線DSLを持つ選択トランジスタを介して電流検出型差動アンプ401に接続されている。

【0108】本実施形態では、ビット線BLがデータ線DL、/DLに交差して走行しているのが特徴であり、ビット線BLを書き込み線と兼用することが可能である。

【0109】(第9の実施形態)図20は、本発明の第9の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示した図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0110】図中破線で囲まれた領域がメモリセル201に対応する。各々のメモリセルにおいて、一方のTMR素子の一端はそれぞれデータ線DLR1~4に接続され、他方のTMR素子の一端は同一のデータ線DLCに接続されている。そして、TMR素子の各他端は、セル選択トランジスタを介して同一のビット線BLに接続されている。選択トランジスタ31~34には、それぞれ独立したワード線WL1~WL4が配置されている。ビット線BLは、メモリセルアレイ領域外で、ワード線BSLを持つ選択用トランジスタを介してバイアス電圧クランプ回路420に接続されている。

【0111】本実施形態では、データ線対DLR、DLCが交叉して走行し、同様にBLがWLに交差して走行しているのが特徴である。また、ワード線方向にはビット線の共有も行われていないため、読み出し時のセル選択をBL、WL電位を制御することで一意に行うことができ、選択セル以外にバイアス電圧が印加されることはない。さらに、データ線対DLR、DLCが交叉しているため、非選択セルがデータ線対を短絡することがない。従って、安定かつ消費電力効率の高い動作が期待できる。

【0112】(第10の実施形態)図21は、本発明の第10の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示した図である。なお、図1と同一部分

には同一符号を付して、その詳しい説明は省略する。

【0113】図中破線で囲まれた領域がメモリセル201に対応し、二つのTMR素子は、それぞれデータ線DL、/DLにその一端が接続され、他端はセル選択トランジスタを介して同一のビット線BLに接続されている。選択トランジスタ31~34には、それぞれ独立したワード線WL1~WL4が配置されている。データ線DL、/DLは、共通のワード線DSLを持つ選択トランジスタを介してバイアス電圧クランプ回路420と電流検出型差動アンプ401に接続されている。また、ビット線BLは接地されている。

【0114】本実施形態では、ビット線BLがデータ線DL、/DLに対して低電位にあり、データ線DL、/DLから選択トランジスタを介してビット線BLに電流が流れることが特徴である。なお、図21ではビット線電位を接地電位としたが、データ線電位を超えない範囲で、任意の電圧に設定しても差し支えない。また本実施形態では、データ線DL、/DLの電位を完全に等しくする必要がある。これは、図示のようなバイアス電圧クランプ回路乃至は類似技術により容易に実現可能である。

【0115】(第11の実施形態)図22は、本発明の第11の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示した図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0116】図中破線で囲まれた領域がメモリセル201に対応し、二つのTMR素子は、それぞれ独立したデータ線DL、/DLにその一端が接続されている。TMR素子の他端は、セル選択トランジスタを介してビット線BLに接続されているが、データ線方向に配列されたメモリセルでそれぞれ独立したビット線BL1~BL4に接続されている。選択トランジスタ31~34には、それぞれ独立したワード線WL1~WL4が配置されている。データ線DLは、ワード線DSLを持つ選択トランジスタを介してバイアス電圧クランプ回路420に接続され、データ線/DLは接地されている。ビット線BL1~BL4は、それぞれ異なる差動センサアンプSAに接続されている。

【0117】次に、メモリセル201を例にとってこの回路の動作を説明する。今、TMR素子11の記録層と固着層の磁化配列が平行状態、TMR素子21が反平行状態である場合を考える(記録情報“1”)。初期状態では、WL1、DSLの電位は0である。次いで、DSLの電位を V_{DD} として、DLに V_{bias} を与えた状態で、WL1を V_{DD} として選択トランジスタ31を導通させる。TMR素子11の抵抗値を $R(1-MR/2)$ 、TMR素子21の抵抗値を $R(1+MR/2)$ とすると、BLに誘導される電圧の値は、 $V_1 = V_{bias}/2 \times (1+MR/2)$ … (16) となる。

【0118】一方、記録情報“0”、即ちTMR素子11の磁化配列が反平行状態、TMR素子21が平行状態である場合には、BLに誘導される電圧の値は、次のようになる。

【0119】

$$V_0 = V_{bias} / 2 \times (1 - MR / 2) \quad \dots (17)$$

従って、例えば差動センスアンプの参照電圧を $V_{REF} = V_{bias} / 2$ と設定すれば、BL電位の参照電圧との大きさを比較することで記憶情報を判別することができる。

【0120】この読み出し方法では、二つのTMR素子によるバイアス電圧Vの分圧比を検出するため、(1) TMR素子に流れる電流値に全く依存しない。即ち、メモリセルアレイ中のメモリセル数が変化して、DL、/DL間のインピーダンスが変化した場合にも、出力への影響が生じない、(2) バイアス電圧を二つのTMR素子で分割するため、MRのバイアス電圧依存性を軽減できる、(3) ビット線には殆ど電流が流れないため、選択用半導体素子の特性ばらつき、特にソース・ドレイン抵抗のばらつきを無視できる、といった利点を有している。

【0121】(第12の実施形態)図23は、本発明の第12の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示した図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0122】図中破線で囲まれた領域がメモリセル201に対応し、二つのTMR素子は、それぞれデータ線DL、/DLにその一端が接続され、他端はセル選択トランジスタ31を介して同一のビット線BLに接続されている。選択トランジスタ31～34には、それぞれ独立したワード線WL1～WL4が配置されている。データ線DLは、ワード線DSLを持つ選択トランジスタを介してバイアス電圧クランプ回路420に接続され、データ線/DLは接地されている。ビット線BLは、ワード線BSLに接続した選択用トランジスタを介して差動センスアンプSAに接続している。

【0123】本実施形態では、ビット線BLを複数のメモリセルで共有しているため、アレイ面積の一層の低減を図ることが可能である。

【0124】(第13の実施形態)図24は、本発明の第13の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示した図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0125】本実施形態は、メモリセルアレイの構造は基本的には第12の実施形態と同一である。但し、ビット線BLが電流変換回路を介してサブビット線sBLに分割されており、読み出し動作によって生じたsBL電圧の変動は、電流変換回路により電流差としてビット線BLを経て後段のメインアンプSAに転送される。本実施形態では、ビットBLの長さを短くして浮遊容量、配線抵抗を軽減することが可能であり、ビット線遅延を低減し高速動作を実現できる。

【0126】(第14の実施形態)図25は、本発明の第14の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示した図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0127】図中破線で囲まれた領域がメモリセル201に対応し、二つのTMR素子は、それぞれデータ線DL、/DLにその一端が接続されている。TMR素子の他端は、セル選択用ダイオード素子31を介してビット線BLに接続されているが、データ線方向に配列されたメモリセルでそれぞれ独立したビット線BL1～BL4に接続されている。データ線DLは、ワード線DSLを持つ選択トランジスタを介してバイアス電圧クランプ回路420に接続され、データ線/DLは接地されている。ビット線BLは、負荷抵抗とワード線BSLに接続した選択用トランジスタを介して接地されている。

【0128】本実施形態では、ダイオードの順方向電圧降下をセル選択に利用する。即ち、ダイオードの順方向電圧降下の値を V_F とし、 $V_F < V_0$ が満たされているとする。今、特定のデータ線DL、/DLに電位差Vを与えると、DL、/DLと交叉するビット線群に接続されたセンスアンプには、 $V_0 - V_F$ 又は $V_1 - V_F$ の電圧が現れる。従って、その大きさを判別することで、記憶情報の読み出しを行うことができる。

【0129】なお、本実施形態におけるセル選択用ダイオード素子としては、pnダイオード、ショットキーダイオード、MISダイオード等の接合型ダイオードの他、図26に示すように、ドレイン・ゲート端子を短絡したn型MOSトランジスタを用いることができる。一般に、磁気メモリ装置では、MOSトランジスタが多用されており、半導体部にpnダイオードを形成することは余計な素子分離領域を必要とし、セル面積増大につながる。nMOSトランジスタを用いたダイオードであれば、このような問題はなく好ましい形態といえる。

【0130】(第15の実施形態)図27は、本発明の第15の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示した図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0131】図中破線で囲まれた領域がメモリセル201に対応し、二つのTMR素子は、それぞれデータ線DL、/DLにその一端が接続されている。TMR素子の他端は、セル選択用ダイオード素子31を介してビット線BLに接続されているが、データ線方向に配列されたメモリセルでそれぞれ独立したビット線BL1～BL4に接続されている。データ線DLは、ワード線DSLを持つ選択トランジスタを介してバイアス電圧クランプ回路420に接続され、データ線/DLは接地されている。ビット線BLは、オフセット電圧回路430と電流センスアンプ402に接続されている。

【0132】図28は、本実施形態において、ビット線に流れる電流をオフセット電圧 V_{off} の関数として測定

している。二つの曲線はそれぞれ記録情報“1”、

“0”に対応する電流 I_0 、 I_1 を示している。 $V_{off} = 500\text{mV}$ 近傍で、 I_0 のみがほぼ0となる領域が存在する。この領域では I_1/I_0 の値が非常に大きくなり、実用上非常に有利である。

【0133】このような記録情報に応じた I_0 、 I_1 の変化は、記録情報に応じた電圧変化と、ダイオードの順方向スレッシュホールド電圧 V_{To} 近傍での強い非線形を組み合わせることで実現できる。通常ダイオードの V_{To} の大きさは製造法により決定される。従って、本実施形態の

【0134】(第16の実施形態)図29は、本発明の第16の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示した図である。

【0135】図中破線で囲まれた領域が1つのメモリセル201に対応する。このメモリセル201内で、TMR素子11、21はそれぞれ独立したデータ線41、42にその一端が接続され、TMR素子11、21の他端は、セル選択用トランジスタ32に共通接続されている。

【0136】また、各メモリセル内で、セル選択用トランジスタ31~34にはそれぞれ独立したワード線301~304がそれぞれ配置されている。データ線41とデータ線42の一端はそれぞれ別個の定電流源401、402に、他端はセンスアンプ404に接続されている。定電流源401、402を構成するMOSトランジスタには共通のワード線403が配置されている。センスアンプ404は電圧ラッチ型のフリップフロップアンプであり、共通ソース端子405とデータ端子406を有する。

【0137】次に、本実施形態の磁気メモリセルアレイにおける情報の読み出し方法について詳述する。

【0138】図30は、セル選択用トランジスタ32のワード線302の電位 WL 、定電流源401、402に接続するワード線403の電位 DLW 、データ線41、42の電位 DL 、 $\angle DL$ 、並びにセンスアンプ404の共通ソース端子405の電位 SS の読み出し時の変化を、時間軸を横軸にとって示したものである。

【0139】今、TMR素子11の記録層と固着層の磁化が反平行状態である場合を考える(記録情報“1”)。初期状態では、セル選択用トランジスタ32のワード線 WL 、定電流源401、402を制御するワード線 DLW の電位は0、センスアンプ404の共通ソース端子の電位は V_D とする。この状態では、データ線41、42はフローティング電位であり、センスアンプ404はデータ線41、42から切り離されている。

【0140】次に、 WL を高電位 V_{cc} としセル選択用トランジスタ32を導通させた後に、 DLW を高電位 V_s を与える。これにより、データ線41、42を経由して

TMR素子11、21に等しいセンス電流 I_s が流れる。データ線41、42の電位は、セル選択用トランジスタ32での電圧降下を V_r とすれば、それぞれ

$$DL = V_D = (R + \Delta R) \times I_s + V_r$$

$$\angle DL = V_D' = R \times I_s + V_r \quad \dots (18)$$

となる。即ち、データ線41、42の差動電圧として $\Delta V = \Delta R \times I_s$

が得られる。

【0141】次に、この状態でセンスアンプ404の共通ソース端子405に図示のように V_D から0に変化する読み出しパルスを与える。 DL と SS の電位差がトランジスタのしきい値電位 V_{th} を越えると、低電位のデータ線42側に接続されたトランジスタが放電をはじめ、結果的にはデータ線41は初期電位 V_d を保ち、一方のデータ線42は0Vにラッチされる。

【0142】記録情報“0”の場合には、TMR素子11の記録層と固着層の磁化は平行状態であり、センス電流を流した状態ではデータ線41側が低電位である。このため、読み出しパルスを与えると、データ線41が0Vにラッチされる。従って、共通ソース端子405にパルスを印加して一定時間経過後に、センスアンプの端子406を用いてデータ線41の電圧 D を取り出せば、読み出しが行われる。データの読み出し後、図示のように各端子の電位を初期状態に戻せば、センスアンプ404のラッチはリセットされ、読み出し動作は完了する。

【0143】本実施形態の構成では、センスアンプ404の共通ソース端子405に印加する読み出しパルスの大きさ ϕ は、

$$V_D' \leq \phi \leq V_D$$

とする必要がある。即ち、パルスの大きさに対するマージンは読み出し時のデータ線間の差動電圧程度である。この部分の動作を安定化させるために、(1)センスアンプ前段の電圧増幅回路、(2) V_D 、 V_D' のばらつきを補償する回路、等を設けてもよい。なお、本実施形態ではフリップフロップアンプを用いたが、センスアンプに他の増幅回路、例えばカレントミラーアンプを用いても差し支えない。

【0144】図31は、本実施形態の磁気メモリセルアレイの全体構成を模式的に示した図である。メモリセルアレイは、2次元的に配列したメモリセルと、これらのメモリセルに接続したデータ線群、ワード線群、及びメモリセル近傍で交差する書き込み線群等からなる。2本を1組とする書き込み線 RWL 、 CWL はそれぞれ列デコーダと行デコーダに接続されており、これによって外部からのアドレス入力に対応した選択書き込みが可能となる。

【0145】一方、データ線対 DL 、 $\angle DL$ を駆動するワード線 DWL と、これに直交しセル選択用トランジスタを駆動するワード線 WL がそれぞれ列デコーダと行デコーダに接続されており、これらによって外部からのア

ドレス入力に対応した選択読み出しが可能となる。センスアンプSAは各データ線対に設けられており、共通のワード線SSにより駆動される。そして、読み出しデータは共通データ線Dに読み出されるものとなっている。

【0146】このように本実施形態では、2つのTMR素子（例えば11、21）から1つのメモリセル（例えば201）を構成し、平行配置された書き込み線51a、51bとこれに直交する書き込み線52との交差部にメモリセルをそれぞれ配置しているため、書き込み線51a、51bと書き込み線52に電流を流すことにより、任意のメモリセルに対して選択的に書き込みを行うことができる。

【0147】書き込み線51a、51bを流れる電流方向は互いに逆方向であり、書き込み動作において1つのメモリセル201を構成する2つのTMR素子11、21の記憶層101の磁化方向は常に反平行となることから、記憶情報の読み出しに際してTMR素子11、21の各出力の差分を取ることで、従来技術に比べ大きな差分電圧を得ることができる。また、TMR素子11とTMR素子21とは同一のセル選択用トランジスタ32を共有するため、トランジスタの特性ばらつきによるセル出力電圧のオフセットを完全に除去することが可能である。

【0148】従って本実施形態によれば、読み出し時のセル出力電圧を大きくすることができ、且つ読み出し時の消費電力の増大を招くことなく信号-雑音比を改善することができ、低消費電力と高速読み出し性を兼ね備えることが可能となる。

【0149】なお、本発明は上述した各実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

【0150】

【発明の効果】以上詳述したように、本発明の磁気メモリセルアレイ構造を利用することで、情報読み出し時において従来技術を用いた場合に比べ大幅な高出力化、低雑音化を実現することが可能となる。従って、低消費電力、高速読み出し性を兼ね備えた固体磁気メモリ装置を実現することができる。

【図面の簡単な説明】

【図1】第1の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示す図。

【図2】第1の実施形態を説明するためのもので、DL、 \angle DLに流れる電流値 I_1 、 I_2 の変化を時間変化として示す図。

【図3】第1の実施形態を説明するためのもので、複数個のメモリセルの記録情報を連続的に読み出した際の波形を示す図。

【図4】選択セル以外の素子を短絡抵抗と仮定して示す等価回路図。

【図5】図4の等価回路を用いたシミュレーションの結果を示す図。

果を示す図。

【図6】第1の実施形態に係わる磁気メモリセルアレイを構成するTMR素子と書き込み線の配置を模式的に示す図。

【図7】第1の実施形態に使用したメモリセルの平面構造を示す図。

【図8】図7のメモリセル構造における矢視A-A'断面及び矢視B-B'断面を示す図。

【図9】書き込み線とデータ線を共用した場合のメモリセル構造断面を示す図。

【図10】第2の実施形態に係わる磁気メモリセルアレイを構成するTMR素子と書き込み線の配置を模式的に示す図。

【図11】第2の実施形態におけるメモリセルの平面構造を示す図。

【図12】図8のメモリセル構造における矢視A-A'断面及び矢視B-B'断面を示す図。

【図13】第3の実施形態に係わる磁気メモリセルアレイを構成するTMR素子と書き込み線の配置を模式的に示す図。

【図14】第3の実施形態に係わる磁気メモリセルアレイの素子断面構造を示す図。

【図15】第4の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示す図。

【図16】第5の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示す図。

【図17】第6の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示す図。

【図18】第7の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示す図。

【図19】第8の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示す図。

【図20】第9の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示す図。

【図21】第10の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示す図。

【図22】第11の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示す図。

【図23】第12の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示す図。

【図24】第13の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示す図。

【図25】第14の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示す図。

【図26】第14の実施形態に係わる磁気メモリセルアレイのpnダイオードをMOSトランジスタで置き換えた等価回路を示す図。

【図27】第15の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示す図。

【図28】第15の実施形態を説明するためのもので、

ビット線に流れる電流をオフセット電圧 V_{off} の関数として測定した結果を示す図。

【図29】第16の実施形態における磁気メモリセルアレイの電気的な等価回路を示す図。

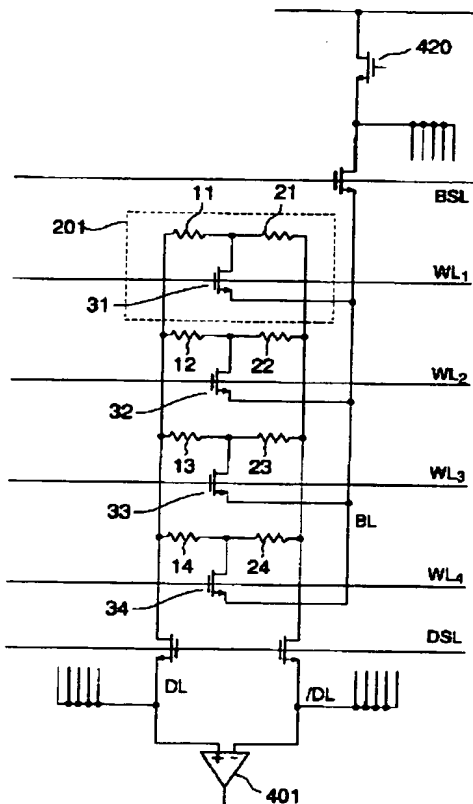
【図30】第16の実施形態における磁気メモリセルアレイにおける読み出し動作を説明するためのタイミング図。

【図31】第16の実施形態における磁気メモリセルアレイの全体構成を示す図。

【符号の説明】

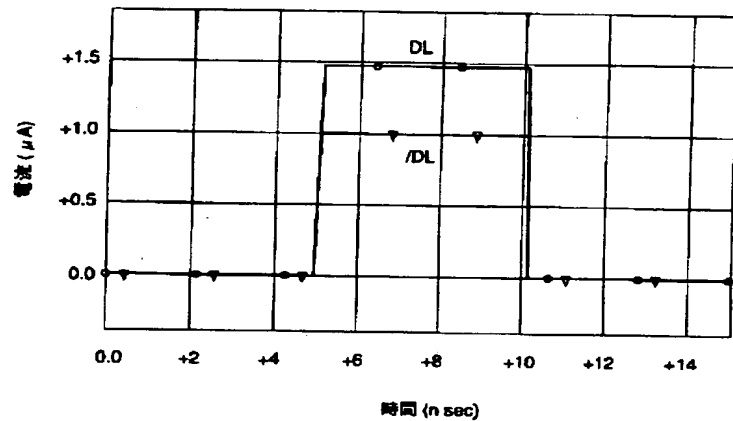
10、～、14、20、～、24…TMR素子
31、～、34…選択トランジスタ
201…メモリセル
301、～、304、403…ワード線

【図1】

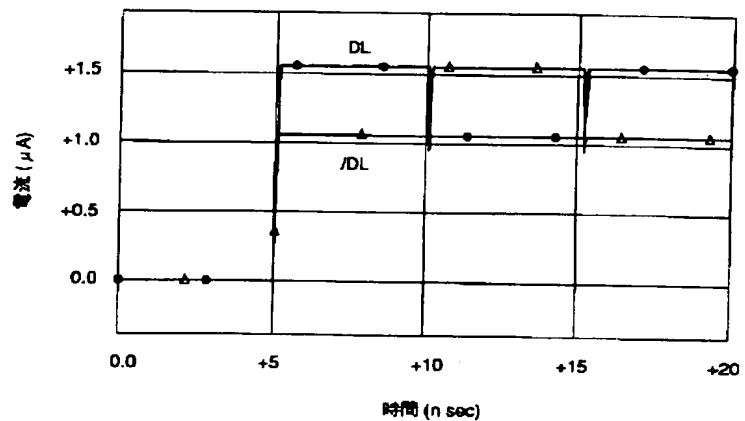


41、42…データ線
44…セルノード
45…コンタクト
51、52…書き込み線
60…層間絶縁層
101…記録層
102…絶縁層
103…固着層
70…Si基板
10 71…ドレイン領域
72…ソース領域
401…センスアンプ
420…バイアス電圧クランプ回路
430…オフセット電圧回路

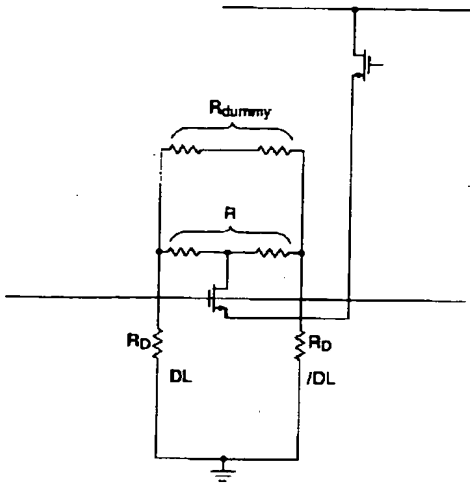
【図2】



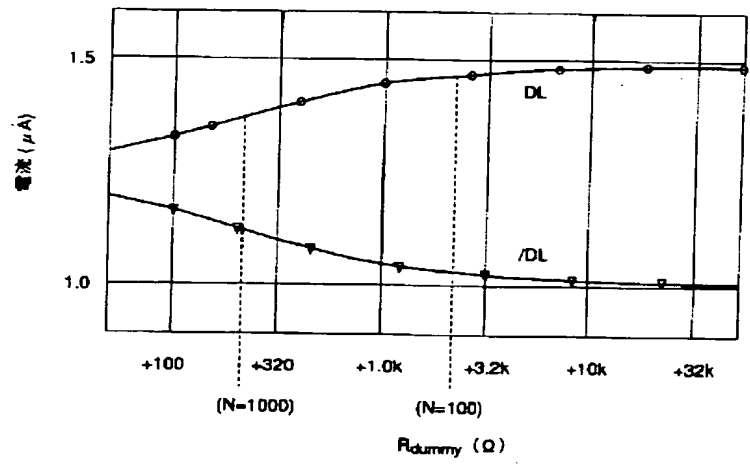
【図3】



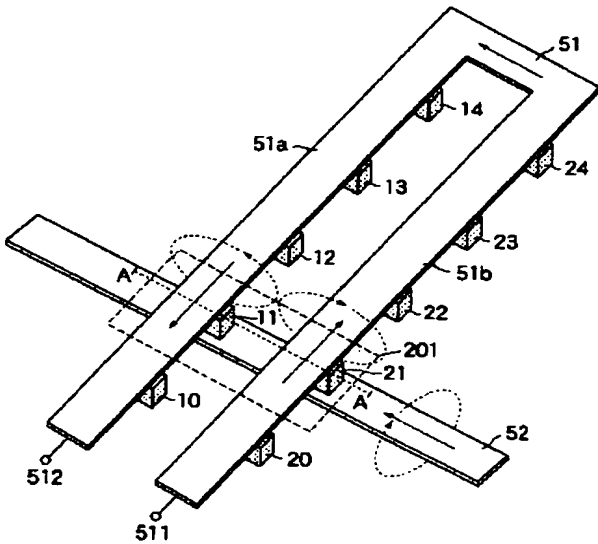
【图4】



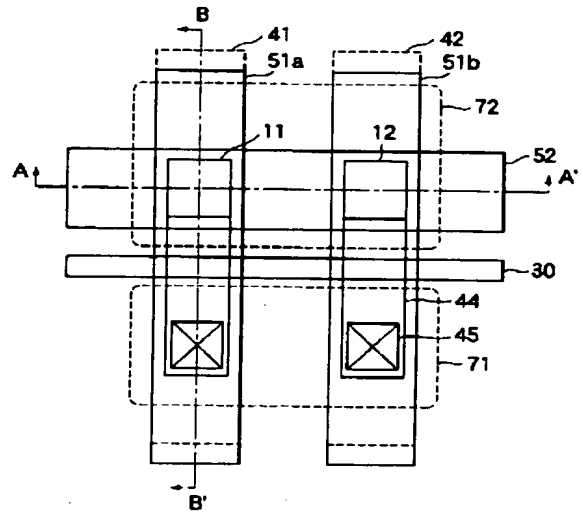
【图5】



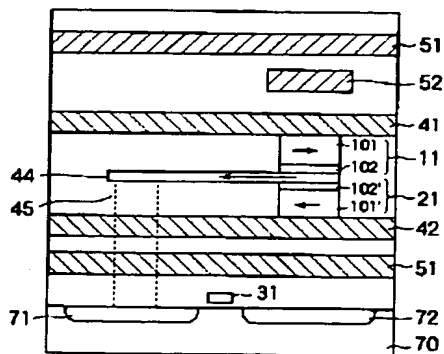
【图6】



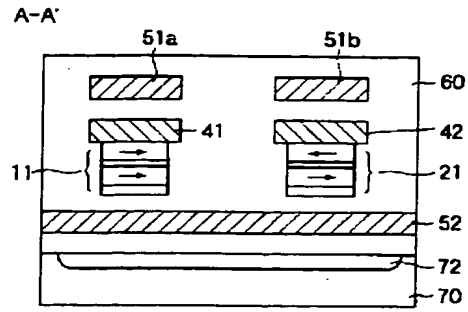
【图7】



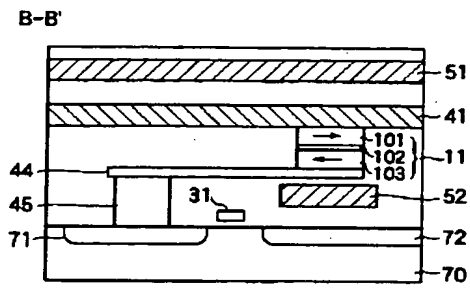
【图14】



【図8】

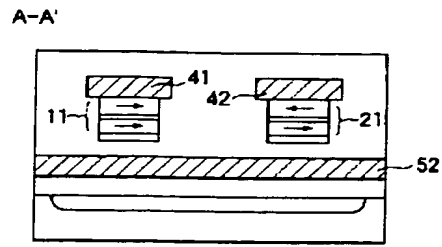


(a)

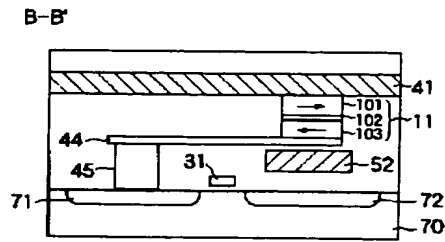


(b)

【図9】

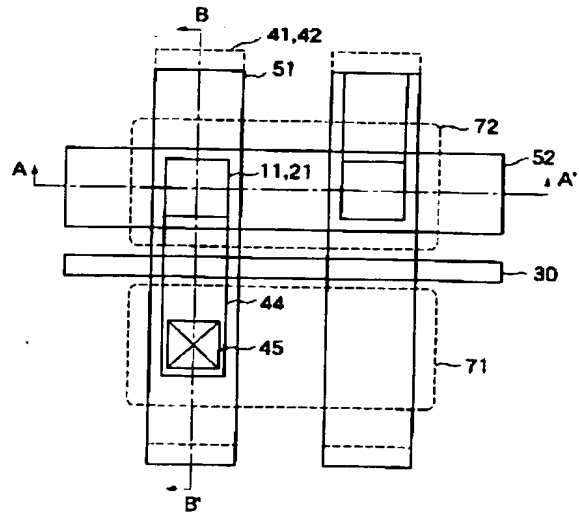


(a)

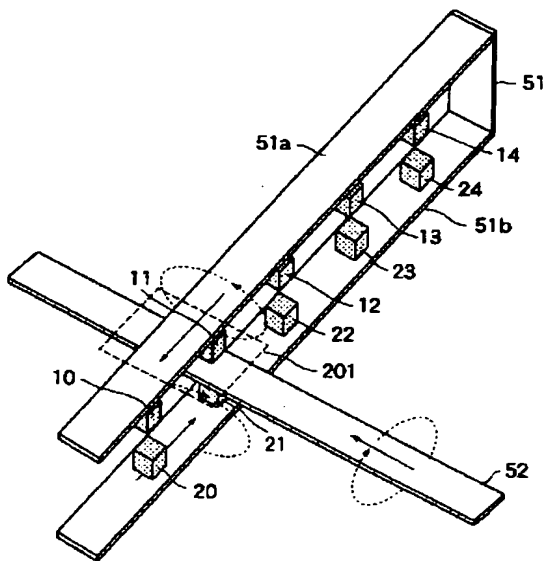


(b)

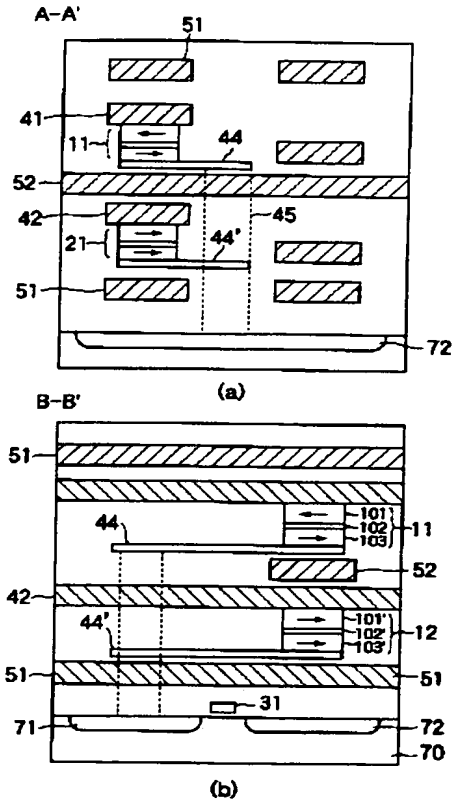
【図11】



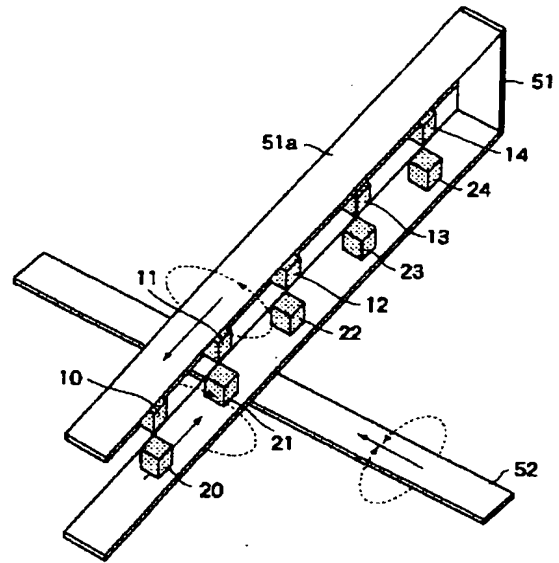
【図10】



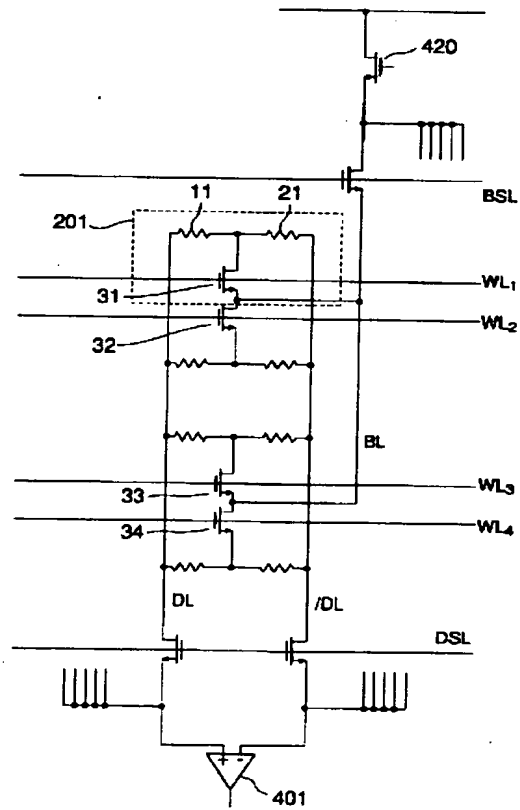
【图12】



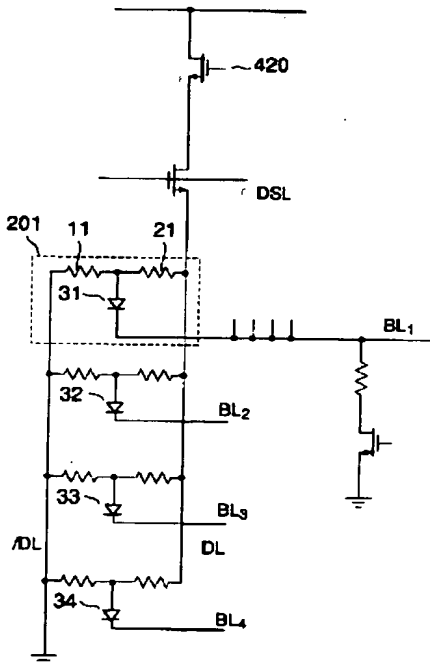
【图13】



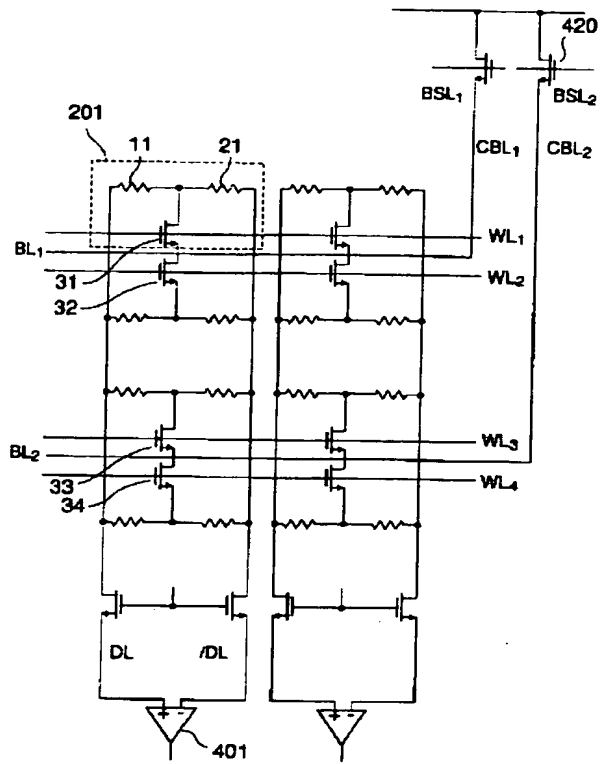
【图15】



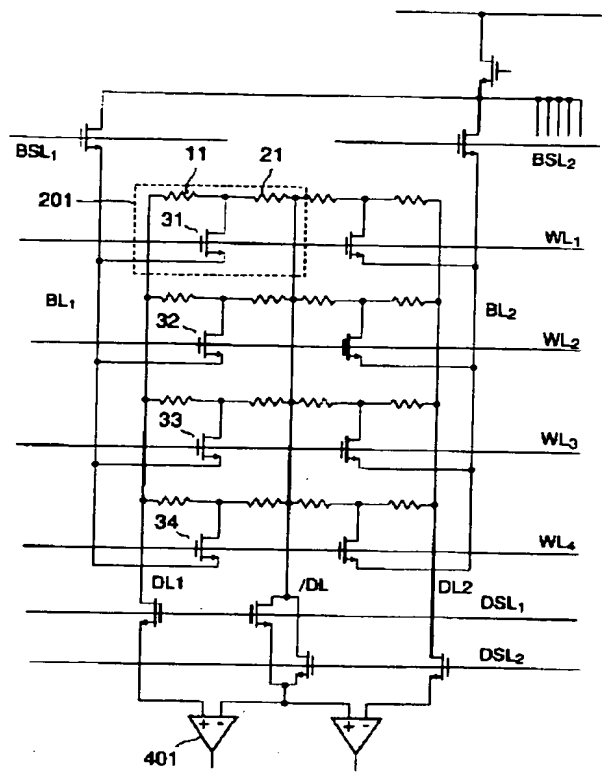
【图25】



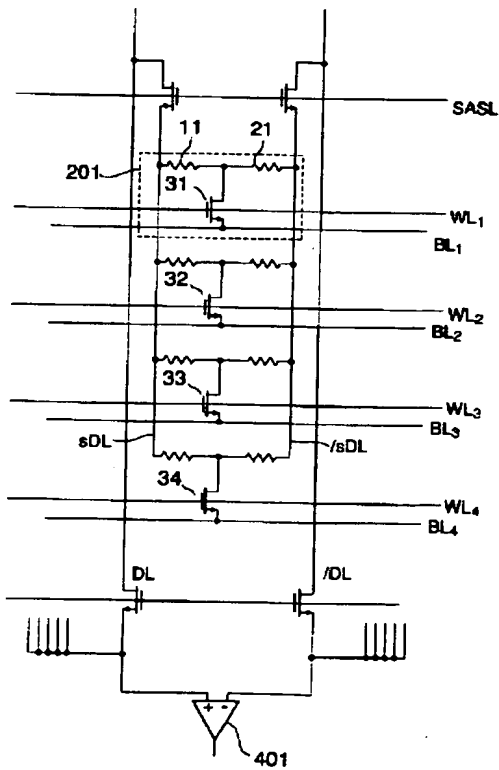
【図16】



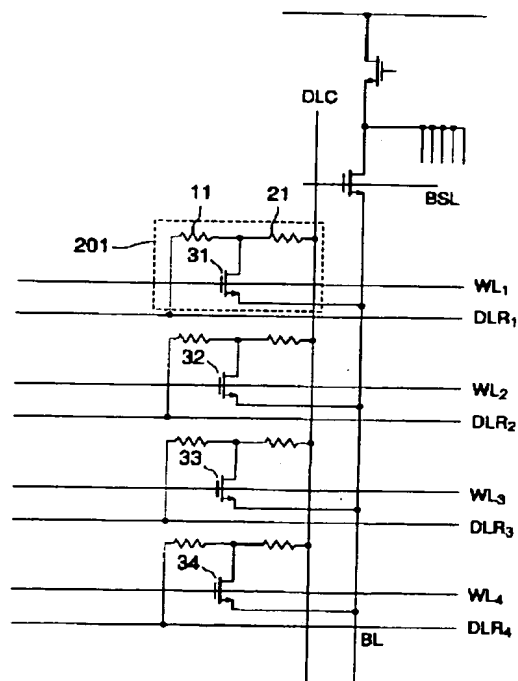
【図17】



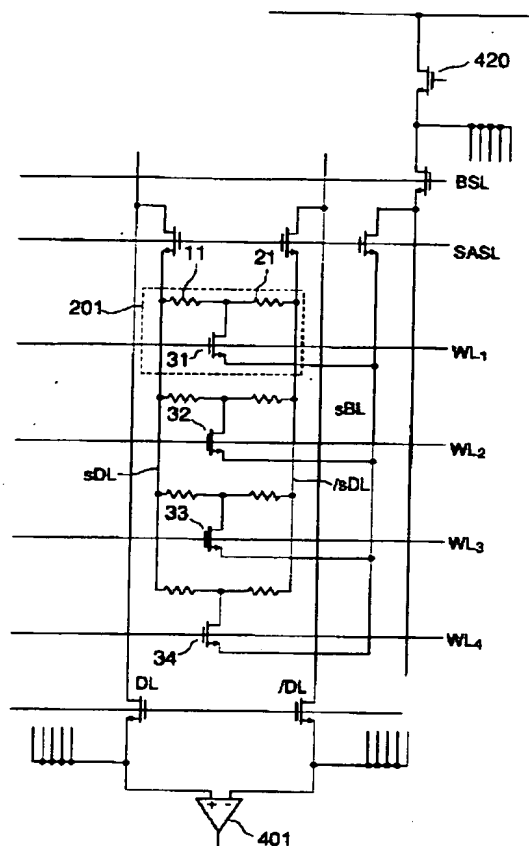
【図19】



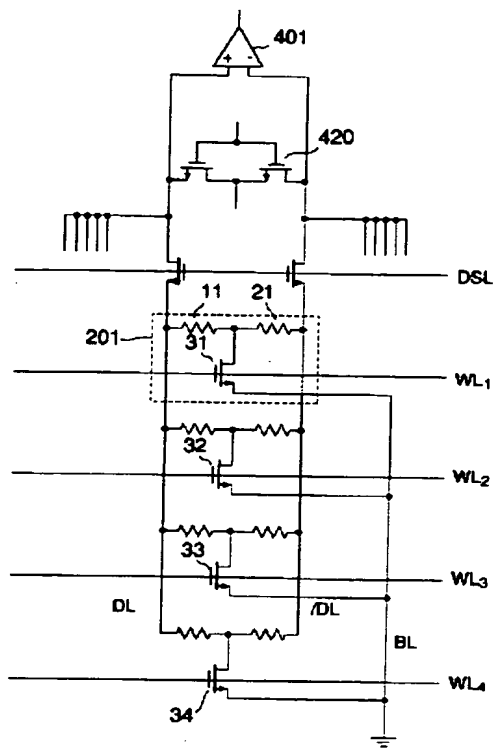
【図20】



【图18】

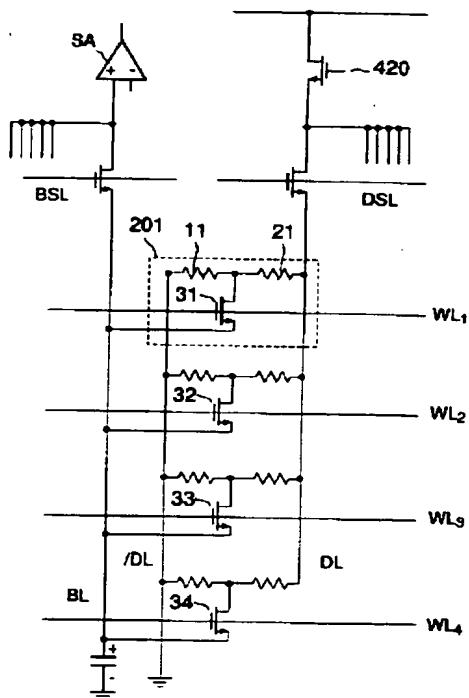
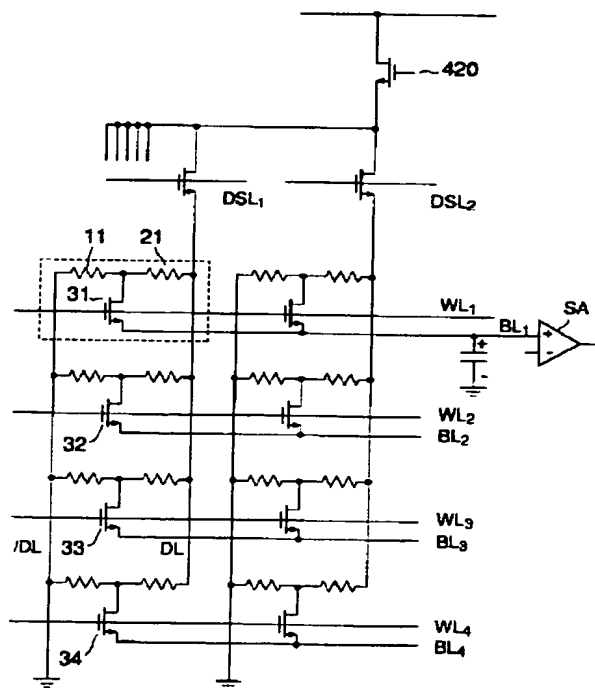


【图21】

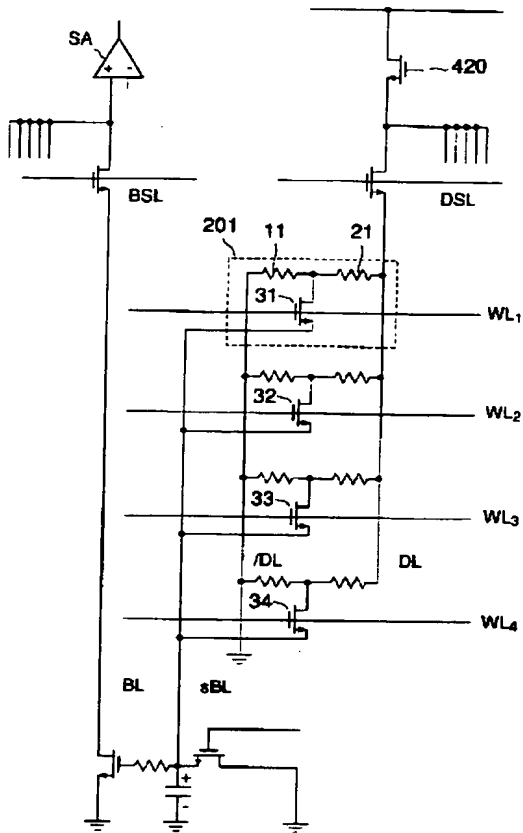


【图23】

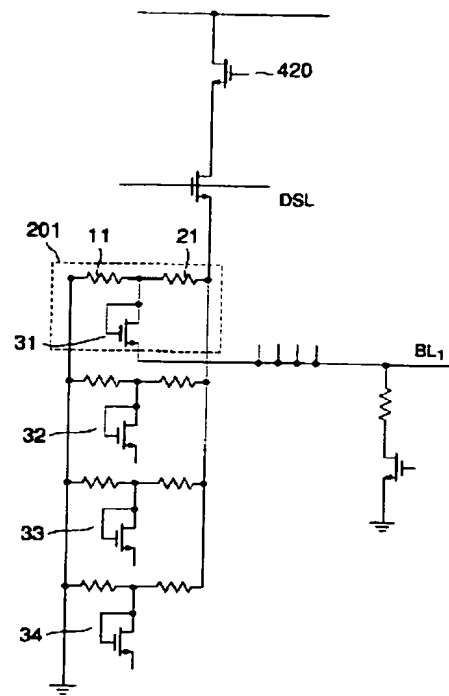
【图22】



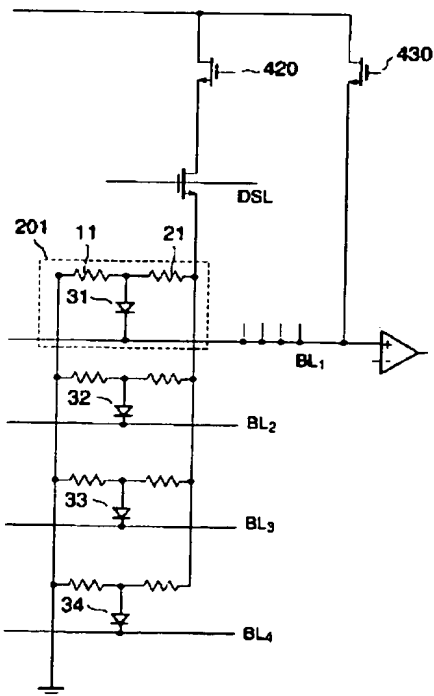
【圖 2 4】



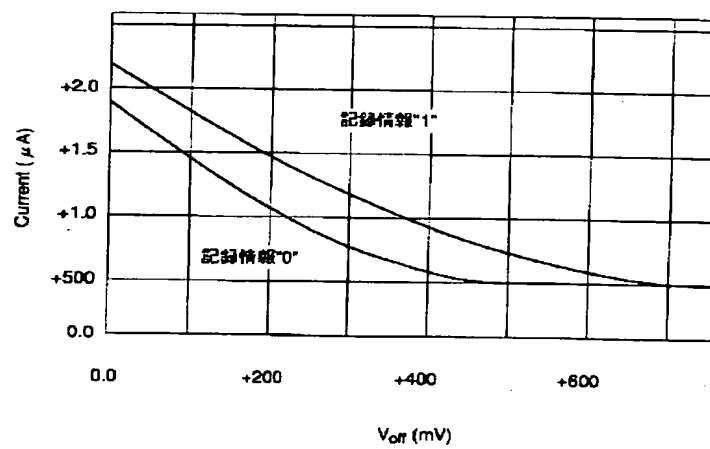
【圖 2 6】



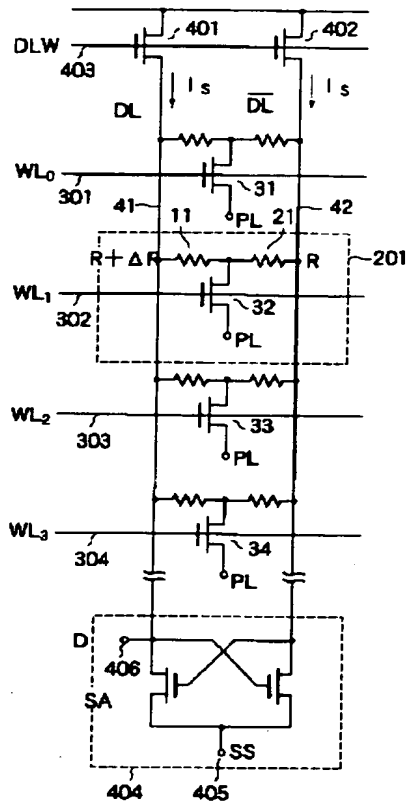
【圖 2 7】



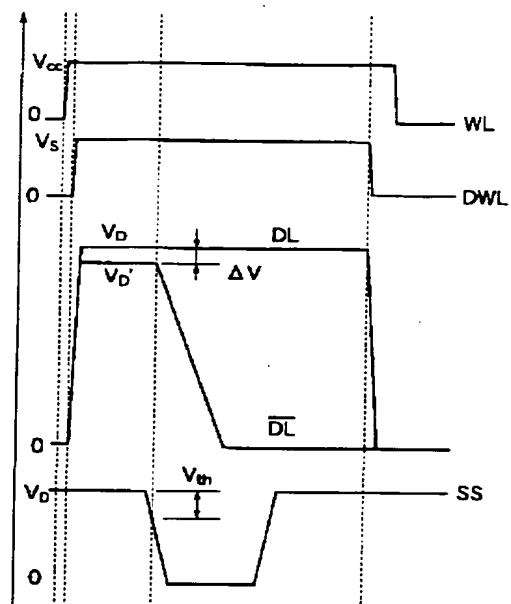
【圖 2 8】



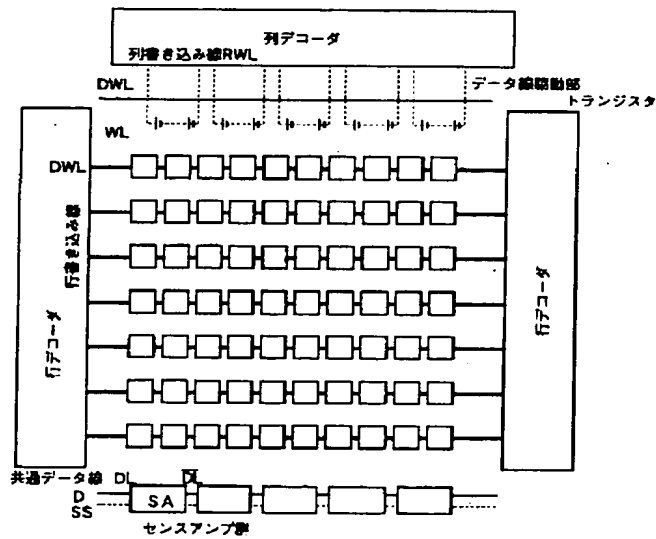
【図29】



【図30】



【図31】



フロントページの続き

(72)発明者 斉藤 好昭
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72)発明者 砂井 正之
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内